

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 750 495

②1 N° d' nregistrement national : 96 08183

⑤1 Int Cl⁶ : G 01 F 1/66

①2 DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 01.07.96.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : 02.01.98 Bulletin 98/01.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule.*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : SCHLUMBERGER INDUSTRIES SA
SOCIETE ANONYME — FR.

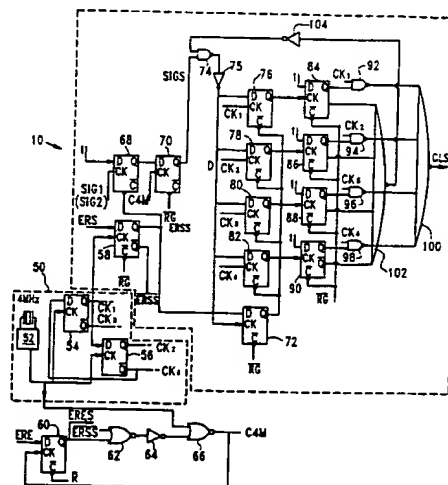
⑦2 Inventeur(s) : BAZIN ALAIN.

⑦3 Titulaire(s) :

⑦4 Mandataire : SCHLUMBERGER INDUSTRIES.

⑤4 PROCEDE ET DISPOSITIF DE MESURE D'UN DEBIT DE FLUIDE EN ECOULEMENT.

⑤7 L'invention est relative à un procédé de mesure d'un
débit de fluide à partir de deux signaux ultrasonores trans-
mis consécutivement en sens inverse l'un de l'autre entre
deux transducteurs. Selon ce procédé, on forme n signaux
d'horloge CK_i , $i = 1$ à n déphasés entre eux de $2\pi/n$, on re-
père et on mémorise le premier signal d'horloge, noté CLS,
qui se produit immédiatement après l'apparition d'une par-
tie caractéristique du premier signal ultrasonore reçu SIG1,
on détermine le temps t_1 correspondant à la somme sur un
nombre entier m de périodes consécutives de chacun des
temps écoulés entre l'apparition de la partie caractéristique
de chacune des m périodes et l'apparition du signal CLS
qui suit, de même, pour le signal reçu en sens inverse
SIG2, on détermine le temps t_2 correspondant à la somme
sur m périodes consécutives de chacun des temps écoulés
entre l'apparition de la partie caractéristique de chaque pé-
riode et l'apparition du signal CLS qui suit, on forme la dif-
férence $|t_2 - t_1|$ et on en déduit le débit.



FR 2 750 495 - A1



L'invention est relative à un procédé de mesure d'un débit de fluide en écoulement consistant à transmettre consécutivement entre deux transducteurs ultrasonores espacés dans la direction de l'écoulement du fluide respectivement deux signaux ultrasonores qui se propagent dans
5 des sens opposés, chaque transducteur recevant respectivement un signal ultrasonore.

L'invention se rapporte également à un dispositif de mesure d'un débit de fluide en écoulement.

10 Il est connu depuis de nombreuses années de mesurer le débit d'un fluide comme par exemple de l'eau chaude s'écoulant dans une conduite en mesurant les temps de propagation respectifs de signaux ultrasonores émis en sens inverse l'un de l'autre entre deux transducteurs ultrasonores situés en des points espacés dans la
15 direction de l'écoulement du fluide.

Dans le domaine de la mesure d'un débit d'eau chaude, on connaît d'après le document WO 86/02722 une méthode qui consiste à émettre simultanément à partir de chaque transducteur un signal ultrasonore en direction de l'autre transducteur, les deux signaux se propageant ainsi
20 en sens inverse l'un de l'autre.

En raison de la présence de l'écoulement, le temps de propagation T2 du signal émis en sens contraire de l'écoulement est plus élevé que celui, T1, émis dans le sens de l'écoulement.

La mesure des deux temps de propagation T1, T2 permet d'en déduire
25 le débit d'eau chaude suivant la formule $Q = K(T2-T1)/C$ où K est un terme tenant compte de la géométrie du compteur et C est un terme correcteur lié à la vitesse de propagation du son dans l'eau.

Or, cette méthode présente un inconvénient majeur. En effet, lorsque
30 l'un des transducteurs vient d'être excité, il continue à émettre un signal alors qu'il reçoit le signal en provenance de l'autre transducteur. Lorsque la température de l'eau varie, des dérives ont été constatées et l'on observe des déphasages parasites supplémentaires dans les signaux ultrasonores reçus.

35 Pour s'affranchir de ce problème, il est nécessaire d'effectuer des mesures de la température et de corriger les mesures de débit en

fonction des fluctuations de la température ce qui complique la méthode de mesure.

5 En outre, on connaît d'autres méthodes de mesure telles que, par exemple, celle décrite dans le document EP 0426309 et suivant laquelle des signaux acoustiques comportant une inversion de phase sont émis consécutivement en sens inverse l'un de l'autre dans un fluide en écoulement. Le temps de propagation de chacun de ces signaux est mesuré en détectant sur chacun des signaux acoustiques reçus l'instant
10 correspondant à l'apparition de l'inversion de phase, par rapport à une référence temporelle qui est liée au signal d'émission considéré.

La détection de cet instant est réalisée au moyen d'un détecteur de phase instantané mais n'est pas précise.

Pour chacun des signaux acoustiques, à cette mesure de temps va être
15 associée une mesure du déphasage acoustique induit dans le signal acoustique considéré du fait de la propagation de ce signal dans l'écoulement.

La mesure du déphasage acoustique est effectuée en échantillonnant le signal reçu dans huit capacités, en convertissant numériquement ledit
20 signal échantillonné et en réalisant une détection synchrone du signal ainsi numérisé.

Or, cette méthode de mesure, du fait de l'échantillonnage, introduit un bruit supplémentaire sur les valeurs échantillonnées du signal et donc sur la mesure elle même.

25 En outre, cette méthode est complexe puisqu'elle nécessite une mesure de temps de propagation et une mesure de déphasage acoustique pour chaque tir effectué dans un sens de propagation.

Par conséquent, il serait intéressant de trouver un procédé de mesure qui n'apporte pas de bruit supplémentaire à la mesure et qui soit plus
30 simple à mettre en oeuvre que dans l'art antérieur.

La présente invention a ainsi pour objet un procédé de mesure d'un débit de fluide en écoulement consistant à transmettre consécutivement entre deux transducteurs ultrasonores espacés dans la direction de
35 l'écoulement du fluide respectivement deux signaux ultrasonores qui se propagent dans des sens opposés, chaque transducteur recevant respectivement un signal ultrasonore SIG1, SIG2 caractérisé en ce que

ledit procédé consiste à : former n signaux d'horloge CK_i , $i = 1$ à n et $n \geq 4$, comportant des transitions, déphasés entre eux de $2\pi/n$, en relation de phase fixe par rapport à un signal d'excitation des transducteurs et de même fréquence que ce signal, choisir une partie caractéristique d'une

5 période d'un premier signal reçu SIG1 dans un sens de propagation, sélectionner la première transition du signal d'horloge qui se produit immédiatement après l'apparition de ladite partie caractéristique, mémoriser ce signal d'horloge appelé CLS, déterminer le temps t_1 correspondant à la somme sur un nombre entier m de périodes

10 consécutives de chacun des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG1 et l'apparition de la première transition du signal CLS qui suit, repérer sur m périodes consécutives d'un second signal reçu SIG2 dans le sens de propagation opposé la même partie caractéristique, déterminer le temps

15 t_2 correspondant à la somme sur ces m périodes de chacun des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG2 et l'apparition de la première transition du signal CLS qui suit, former la différence $|t_2 - t_1|$ et en déduire le débit de fluide Q qui est proportionnel à $|t_2 - t_1|$.

20 La création des n signaux d'horloge CK_i intermédiaires fournit une référence temporelle "variable", par opposition aux références utilisées dans les méthodes connues de mesure ultrasonore du débit d'un fluide en écoulement, car, dès lors que la résolution souhaitée sur la mesure

25 de temps est obtenue, on recherche une autre référence temporelle plus adaptée.

Le fait de créer cette référence temporelle à partir des signaux d'horloge n'introduit pas de bruit supplémentaire comme le ferait un convertisseur

30 analogique/numérique.

En outre, ce procédé est simple puisqu'il n'y a pas d'échantillonnage ni d'étape de détection synchrone et peut donc être mis en oeuvre avec des moyens analogiques simples, ce qui n'est pas le cas des méthodes de l'art antérieur.

35 Par ailleurs, un circuit électronique dépourvu de convertisseur analogique numérique est plus facile à intégrer au niveau d'un circuit

intégré à application spécifique (ASIC).

Le fait d'utiliser cette référence temporelle "variable" permet d'obtenir avec plus de précision et plus rapidement la résolution recherchée.

En effet, avec n signaux CK_i déphasés de $2\pi/n$, la résolution sera de T/n

- 5 (T est la résolution obtenue avec l'horloge à partir de laquelle peuvent être formés les n signaux) et l'on pourra ainsi obtenir une mesure du temps qui s'est écoulé entre l'apparition de la partie caractéristique de chacune des m périodes dudit signal et l'apparition de la première transition du signal d'horloge sélectionné avec une meilleure résolution
- 10 que dans l'art antérieur.

Étant donné que la résolution augmente lorsque le nombre de mesures augmente (la loi est en $1/\sqrt{N}$ où N est le nombre de mesures), on comprend que l'introduction de cette référence temporelle "variable" permet d'accroître d'emblée la résolution, nécessitant par là même

15 moins de mesures pour aboutir à la résolution recherchée.

Avantageusement, cette méthode permet donc de réduire la consommation énergétique pour obtenir une mesure ultrasonore du débit de fluide avec la même résolution que dans les méthodes de l'art antérieur.

- 20 En outre, il convient de remarquer que lorsqu'on utilise des fréquences d'émission d'ondes acoustiques de l'ordre de 1MHz, par exemple pour un fluide tel que l'eau, les méthodes de l'art antérieur telles que celle décrite dans le document EP 0 426 309 sont très dispendieuses en énergie étant donné qu'il faut un convertisseur analogique numérique
- 25 qui puisse échantillonner un signal à 1MHz et présentant donc également un coût élevé ce qui n'est pas le cas de l'invention.

- Le nombre entier m de périodes peut être égal à 1 ou prendre d'autres valeurs. Lorsque m est différent de 1, la période sur laquelle est choisie
- 30 la partie caractéristique peut correspondre à la première des m périodes consécutives ou bien peut précéder ces m périodes.

- Selon l'invention, les signaux reçus SIG1 et SIG2 peuvent être conditionnés sous la forme de créneaux et, dans ce cas, la partie caractéristique des périodes des signaux reçus correspond au front
- 35 montant ou descendant de chaque créneau.

Selon l'invention, les signaux d'horloge peuvent se présenter sous la forme de créneaux et, dans ce cas, la première transition du signal d'horloge sélectionné est un front montant ou descendant.

5 Selon le procédé de l'invention, on forme les différences respectives SIG1-CLS et SIG2-CLS entre les signaux afin d'obtenir les signaux respectifs IEX1 et IEX2 qui vont permettre de déterminer les temps respectifs t_1 et t_2 .

10 Les signaux IEX1 et IEX2 peuvent se présenter sous la forme de créneaux et le procédé selon l'invention consiste à expander la durée cumulée de tous les créneaux pour déterminer les temps respectifs t_1 et t_2 .

Par exemple, le signal d'horloge CK₁ est en phase avec le signal d'excitation des transducteurs.

15 Selon un premier mode de réalisation, on forme quatre signaux d'horloge.

Selon un deuxième mode de réalisation, on forme huit signaux d'horloge.

20 Avantageusement, à partir de chaque signal reçu, on forme un signal SIGS déphasé par rapport aux signaux d'horloge afin d'éviter une simultanéité desdits signaux.

Par exemple, le signal SIGS est déphasé de π/n .

La présente invention a également pour objet un dispositif de mesure d'un débit de fluide en écoulement comprenant :

25 - au moins deux transducteurs ultrasonores espacés dans la direction de l'écoulement du fluide,

- des moyens de formation d'un signal d'excitation de ces transducteurs,

30 - des moyens de réception de deux signaux ultrasonores SIG1 et SIG2 émis respectivement par lesdits transducteurs dans des sens opposés et consécutivement, caractérisé en ce que ledit dispositif comprend en outre :

35 - des moyens de formation de n signaux d'horloge CK_i, $i = 1$ à n et $n \geq 4$, qui comportent des transitions, sont déphasés entre eux de $2\pi/n$, sont en relation de phase fixe par rapport au signal d'excitation et de même fréquence que ce signal,

- des moyens d'identification d'une partie caractéristique d'une période du premier signal reçu SIG1,

- des moyens de sélection de la première transition du signal d'horloge CK_i qui se produit immédiatement après l'apparition de ladite

- partie caractéristique,
- des moyens de mémorisation de ce signal d'horloge appelé CLS,

- des moyens de détermination du temps t₁ correspondant à la somme sur un nombre entier m de périodes consécutives des temps

- écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG1 et l'apparition de la première transition du signal CLS qui suit,
- des moyens d'identification de la même partie caractéristique sur m périodes consécutives du second signal reçu SIG2,

- des moyens de détermination du temps t₂ correspondant à la somme sur ces m périodes des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG2 et l'apparition de la première transition du signal CLS qui suit,

- des moyens de formation de la différence $|t_2 - t_1|$ et de déduction du débit de fluide Q qui est proportionnel à $t_2 - t_1$.

Ce dispositif peut être réalisé avec des moyens analogiques simples comme notamment des bascules de type D ou RS et permet donc de ne pas avoir besoin de convertisseur analogique numérique ni de plusieurs capacités pour stocker les valeurs échantillonnées.

Les moyens de formation des signaux d'horloge CK_i peuvent comprendre un oscillateur à quartz suivi de n/2 bascules de type D formant un diviseur et permettant ainsi d'obtenir des signaux CK_i déphasés entre eux de $2\pi/n$.

Les moyens de sélection de la première transition du signal d'horloge peuvent comprendre n bascules de type D, dites de sélection, dont chaque entrée D est reliée au signal commun reçu SIG1 ou SIG2, chaque entrée d'horloge CK recevant un signal d'horloge CK_i différent d'une bascule à l'autre et qui peuvent être activées par une entrée RAZ de telle sorte que lorsque l'entrée RAZ des bascule est à "1" et lorsque le

signal commun est à "1", lesdites bascules sont sensibles aux signaux CK_i.

5 Les moyens de sélection de la première transition du signal d'horloge peuvent également comprendre n portes logiques recevant chacune sur une entrée le signal commun reçu SIG1 ou SIG2 et n circuits monostables recevant chacun en entrée un signal d'horloge CK_i différent et dont la sortie est envoyée respectivement sur l'une des autres entrées des n portes logiques.

10

Les moyens de mémorisation du signal d'horloge CLS peuvent comprendre, d'une part, n bascules de type D, dites de mémorisation, recevant chacune en tant qu'entrée d'horloge CK la sortie Q d'une bascule de sélection, et, d'autre part, une porte logique "NON ET" à n
15 entrées reliées chacune à la sortie \overline{Q} de chaque bascule de mémorisation, l'entrée D de ces bascules de mémorisation étant à "1" en permanence et le premier signal reçu en entrée d'horloge CK d'une des bascules activant la fonction de mémorisation de cette dernière en faisant basculer la sortie Q de ladite bascule à 1 et la sortie \overline{Q} à 0,
20 activant ainsi un circuit de verrouillage du signal commun reçu SIG1 ou SIG2.

Selon le dispositif de l'invention n portes logiques "NON ET" reçoivent sur chacune de leurs entrées un signal d'horloge CK_i et la sortie Q de la
25 bascule de mémorisation correspondante, la sortie de chacune de ces portes étant reliée à l'une des entrées de la porte logique "NON ET" à n entrées, l'une des n portes logiques libérant le signal d'horloge CK_i associé lorsque la fonction de mémorisation de la bascule de mémorisation correspondante est activée.

30

D'autres caractéristiques et avantages apparaîtront au cours de la description qui va suivre donnée à titre d'exemple non limitatif, faite en référence aux dessins annexés et sur lesquels :

- 35 - la figure 1 représente la disposition des transducteurs ultrasonores par rapport à l'écoulement du fluide selon un mode de réalisation,
- la figure 2 représente une autre disposition des transducteurs ultrasonores par rapport à l'écoulement du fluide,

- la figure 3 est une vue schématique simplifiée d'un séquenceur utilisé dans le dispositif selon l'invention,
- la figure 4 est une vue schématique d'une partie du dispositif selon l'invention comprenant les blocs d'émission des signaux ultrasonores, le
- 5 bloc de commutation des transducteurs et le bloc de conditionnement des signaux ultrasonores reçus,
- la figure 5 illustre les étapes d'émission et de réception des signaux ultrasonores,
- la figure 5a représente le signal SIG₁ (SIG₂) formé à partir du signal
- 10 ultrasonore reçu,
- la figure 6 est une vue schématique d'une partie du dispositif selon l'invention comprenant le bloc de formation des signaux d'horloge CK_i (i = 1 à 4) ainsi que les blocs de sélection et de mémorisation du signal d'horloge CLS,
- 15 - la figure 7 représente l'allure des quatre signaux d'horloge CK_i les uns par rapport aux autres,
- la figure 8 représente l'allure des principaux signaux utilisés en fonction du temps,
- la figure 8a est une variante de la partie du dispositif de la figure 6 qui
- 20 sélectionne le signal d'horloge CLS,
- la figure 8b est une variante de la partie du dispositif de la figure 6 qui représente les blocs de sélection et de mémorisation du signal d'horloge CLS,
- la figure 9 est une vue schématique d'une partie du dispositif selon
- 25 l'invention comprenant le bloc de génération des signaux IEX₁ et IEX₂ (SIG₁-CLS et SIG₂-CLS) simplifié,
- la figure 10 est un schéma illustrant l'étape de génération des signaux IEX₁ et IEX₂,
- la figure 11 représente l'allure des signaux SIG₁, CLS et IEX₁,
- 30 - la figure 12 est une vue schématique simplifiée d'un expenseur de temps,
- la figure 12a est une vue schématique illustrant le principe de l'expansion de temps,
- la figure 13 est une vue schématique d'une partie du dispositif selon
- 35 l'invention comprenant un expenseur de temps,
- la figure 14 représente les différents signaux SIG₁, SIG₂, IEX₁ et IEX₂,

- la figure 15 est une vue schématique de la partie du dispositif représenté à la figure 6 selon un deuxième mode de réalisation de l'invention,
- la figure 16 représente l'allure des huit signaux d'horloge CK_i les uns par rapport aux autres,
- 5 - la figure 17 représente l'allure des signaux CK₁, CK₃, C4M, SIG1, SIG1S et IEX₁.

10 Un dispositif de mesure du débit d'un fluide en écoulement, tel que de l'eau chaude, est représenté aux figures 1, 2, 4, 7 et 11 et est désigné par la référence générale notée 10.

Comme représenté partiellement à la figure 1, le dispositif selon l'invention comprend deux transducteurs ultrasonores T₁ et T₂ disposés dans l'écoulement et espacés dans la direction de l'écoulement du fluide afin de pouvoir recueillir une information sur la vitesse du fluide.

15 Sur la figure 1, les transducteurs T₁ et T₂ sont placés en face l'un de l'autre aux deux extrémités opposées d'un tube de mesure 12 dans lequel s'écoule le fluide selon la direction indiquée par la flèche "F".

Un autre exemple de disposition des transducteurs T₁ et T₂ est représenté à la figure 2 sur laquelle lesdits transducteurs sont placés au fond de logements 14 et 16 perpendiculaires à la direction d'écoulement du fluide qui est indiquée par la flèche "F".

Le fluide s'écoule dans un tube de mesure 18 dans lequel sont montés deux miroirs 20 et 22 destinés à réfléchir les signaux ultrasonores comme indiqué sur la figure 2.

25 Les transducteurs ultrasonores T₁ et T₂ sont excités par un signal d'excitation qui provient d'un séquenceur 24 représenté de manière simplifiée à la figure 3. Ce séquenceur comprend un compteur 16 bits, 26 et un décodeur 28 connecté au compteur, ainsi qu'un bloc 30 constitué de plusieurs portes logiques.

30 Un signal d'horloge à 1MHz, CK₁, issu d'un signal d'horloge à 4MHz alimente le compteur 26 et le bloc 30 et ce bloc reçoit également un signal TE en provenance du décodeur 28 et qui va permettre la transmission d'un signal ultrasonore. Le bloc 30 délivre en sortie un signal d'excitation SE qui joue le rôle d'un signal pilote. Le compteur 26 est activé lorsque le signal RAZ est délivré par une horloge dite de veille et qui n'est pas représentée sur la figure 3.

Comme représenté sur la figure 4, le signal SE, noté SE₁ (ce signal est destiné à exciter le transducteur T₁), est envoyé sur les deux entrées respectives de deux portes logiques "NON ET" 32 et 34 montées en parallèle afin de réduire l'impédance interne de ce montage.

- 5 L'autre entrée de chacune de ces portes logiques "NON ET" est reliée à un signal logique de valeur 1. Ces portes peuvent être remplacées par des inverseurs.

- La sortie de ces deux portes logiques 32 et 34 est reliée à un condensateur C1 monté en série avec une résistance R₁, la résistance
10 R₁ étant reliée à une autre résistance R₂ qui est montée aux deux bornes du transducteur T₁.

La borne du transducteur T₁ qui est reliée aux résistances R₁ et R₂ est également reliée à une résistance R₃ recevant un courant électrique provenant du collecteur d'un transistor de commutation 36.

- 15 Le transistor PNP 36 est alimenté par une tension V_{DD} sur son émetteur. Le montage en série des résistances R₂ et R₃ permet d'obtenir une tension stable de polarisation des transducteurs de valeur égale à V_{DD}/2.

- Le condensateur C₁ isole la tension V_{DD} de l'entrée (côté signal SE)
20 afin d'éviter de perturber le potentiel du montage diviseur R₂ et R₃ lorsque, notamment, le signal SE₁ est au niveau de repos. Ceci permet également d'éviter une surconsommation.

- La résistance R₁ isole le transducteur T₁ par rapport au signal d'entrée afin d'assurer la compatibilité entre le signal rectangulaire $\overline{SE_1}$ et le
25 transducteur fortement capacitif et permet d'assurer un meilleur contrôle de l'impédance d'émission.

Un montage symétrique est réalisé pour le transducteur T₂ qui est excité par le signal SE noté SE₂ avec des portes logiques "NON ET" 38, 40, des résistances R₄, R₅, R₆, un condensateur C₂ et un transistor 42.

- 30 Étant donné que les deux branches des montages symétriques ne sont pas reliées entre elles, un bon découplage est ainsi assuré entre les deux transducteurs.

- Lorsque le transducteur T₁ émet un signal ultrasonore consécutivement à un signal d'excitation de fréquence égale à 1MHz, l'interrupteur 44 du
35 bloc de commutation est ouvert et l'interrupteur 46 relié au transducteur T₂ est fermé.

Le signal ultrasonore d'émission, représenté par la lettre E sur la figure 5, a une durée par exemple égale à 40 μ s.

Environ 80 μ s après l'instant de début du signal d'émission, le signal ultrasonore est reçu par le transducteur T₂ (Fig.5).

- 5 Le signal reçu, représenté par la lettre R sur les figures 5 et 5a est conditionné dans un inverseur 48 (Fig.4) par exemple un inverseur CMOS de type HCO4 contenant 3 inverseurs en cascade et qui délivre en sortie un signal SIG₁ se présentant sous la forme de créneaux ainsi que représenté à la figure 5a.
- 10 A titre de variante le conditionnement peut s'effectuer avec un comparateur différentiel dont une entrée reçoit le signal issu du bloc de commutation et d'autre entrée reçoit un signal de référence issu d'un diviseur spécialisé ou d'un réseau RC définissant la valeur moyenne du signal.
- 15 Comme représenté sur la figure 6, le dispositif 10 comprend des moyens 50 de formation de quatre signaux d'horloge CK_i, avec i = 1 à 4. Ces moyens comprennent un oscillateur à quartz 52 de fréquence égale à 4MHz.
- 20 Cet oscillateur délivre un signal d'horloge qui attaque les entrées d'horloge CK de deux bascules 54, 56 de type D qui forment un diviseur. L'allure du signal d'horloge de fréquence égale à 4MHz est représentée à la figure 7.
- 25 La sortie \overline{Q} de la bascule 56 est connectée à l'entrée D de la bascule 54 et la sortie Q de la bascule 54 est reliée à l'entrée D de la bascule 56. Comme représenté sur la figure 7, en supposant que le signal CK₂ est à 0 et le signal CK₄ est à 1, lorsqu'un front montant du signal d'horloge à 4MHz se présente, le signal d'horloge CK₁ délivré par la sortie Q de la bascule 54 passe à 1 et l'entrée D de la bascule 56 prend donc
- 30 également la valeur 1. Le signal d'horloge CK₃ délivré par la sortie \overline{Q} de la bascule 54 passe donc à 0. Sur le front montant suivant du signal d'horloge à 4MHz, le signal d'horloge CK₂ délivré par la sortie Q de la bascule 56 passe à 1.
- 35 Ainsi, le signal d'horloge CK₄ délivré par la sortie \overline{Q} de la bascule 56 passe à 0 et l'entrée D de la bascule 54 prend donc également la valeur 0.

Lors du prochain front montant du signal d'horloge à 4MHz, le signal d'horloge CK₁ retombe à 0, tandis que le signal CK₃ passe à 1 et ainsi l'entrée D de la bascule 56 passe également à 0.

- 5 Lorsque le front montant suivant du signal d'horloge à 4MHz se présente, le signal d'horloge CK₂ délivré par la sortie Q de la bascule 56 passe à 0 et le signal CK₄ passe donc à 1 ce qui fait passer à 1 l'entrée D de la bascule 54. Lors d'un autre front montant du signal d'horloge à 4MHz, le signal d'horloge CK₁ passe à 1, le signal d'horloge CK₃ passe donc à 0 et l'entrée D de la bascule 56 passe à 1. Un front montant
- 10 suivant du signal d'horloge à 4MHz fait passer à 1 le signal d'horloge CK₂, et donc fait passer à 0 le signal d'horloge CK₄ ainsi que l'entrée D de la bascule 54.

Ainsi, les quatre signaux d'horloge CK₁, CK₂, CK₃ et CK₄ formés sont représentés en gras sur la figure 7.

- 15 Ces signaux ont même fréquence que les signaux d'excitation SE₁ et SE₂ des transducteurs (1MHz) qui sont créés à partir du signal d'horloge CK₁. Les signaux sont déphasés entre eux de $\pi/2$ et sont dans une relation de phase fixe par rapport aux signaux d'excitation des transducteurs.

- 20 En outre, ces signaux présentent des transitions entre une valeur logique 0 et une valeur logique 1.

Une variante du montage 50 consiste à former un signal d'horloge CK₁ à 1MHz à partir d'un signal d'horloge à 2MHz généré par un oscillateur et au moyen d'une bascule de type D.

- 25 Le signal CK₂ est alors formé à partir du signal CK₁ en créant un retard artificiel par exemple au moyen d'un circuit monostable (ou temporisateur), et les signaux CK₃ et CK₄ sont obtenus facilement à partir des signaux CK₁ et CK₂ par inversion de ceux-ci.

- Comme représenté à la figure 3, un signal ERS dit de synchronisation est généré par le décodeur 28 du séquenceur 26 et son allure est représentée sur les figures 5 et 5a.
- 30

- Sa valeur logique est à 0 et au bout d'un temps égal à 95 μ s, sa valeur passe à 1 lorsque le signal reçu se situe dans sa partie centrale qui est moins perturbée que le début ou la fin dudit signal reçu. Ce signal
- 35 déclenche le début de la phase de sélection d'un signal d'horloge CK_i.

En référence à la figure 6, le signal ERS est envoyé sur l'entrée D d'une bascule 58 de type D. Cette bascule permet de générer à sa sortie Q un

signal ERSS qui correspond au signal ERS synchronisé avec le signal d'horloge CK₁ qui est envoyé sur l'entrée d'horloge CK de la bascule 58.

Le signal CK₁ a été choisi arbitrairement.

- 5 Un signal ERE est généré par le décodeur 28 du séquenceur 26 (Fig.3) et son allure est représentée sur la figure 5.

Sa valeur logique est à 0 et, 2 μ s après le passage à 1 du signal ERS, sa valeur passe à 1. Ce signal va déclencher le début de la phase de mesure.

- 10 En référence à la figure 6, le signal ERE est envoyé sur l'entrée D d'une bascule 60 de type D dont l'entrée \overline{C} ("clear") de remise à zéro est reliée à un signal R qui la réinitialise au début d'une mesure.

La sortie Q de la bascule 60 est connectée à l'une des entrées d'une porte logique 62 de type "NON OU", l'autre entrée recevant le signal

- 15 \overline{ERSS} .

La sortie de cette porte 62 est reliée à un inverseur 64 dont la sortie est connectée à l'une des entrées d'une porte logique 66 de type "NON OU", l'autre entrée recevant le signal d'horloge à 4MHz.

- 20 En sortie de cette porte 66, un signal C4M de fréquence égale à 4MHz est délivré. Le signal C4M est réinjecté sur l'entrée d'horloge CK de la bascule 60. Ce signal C4M est déclenché par le passage de \overline{ERSS} à zéro et est supprimé lors de l'apparition du signal ERE synchronisé par ce même signal C4M.

- 25 Il convient de noter que cette logique limite la présence du signal C4M notamment sur les entrées CK des bascules 60 et 70, ce qui minimise la consommation du circuit (Fig.8).

La sortie Q de la bascule 60 fournit un signal ERES qui correspond au signal ERE synchronisé avec le signal C4M et dont l'allure est représentée sur la figure 8. Ce signal sert à valider le bloc de mesure qui

- 30 sera décrit ultérieurement.

Le signal synchronisé ERSS est envoyé sur l'entrée \overline{C} ("clear") de remise à zéro d'une bascule 68 de type D. Le signal SIG (SIG1 ou SIG2) est envoyé sur l'entrée d'horloge CK de cette bascule dont l'entrée D est à 1.

- 35 La sortie Q de la bascule 68 est reliée à l'entrée D d'une bascule 70 de type D.

Le signal C4M est envoyé sur l'entrée d'horloge CK de cette bascule 70 et l'entrée \overline{C} ("clear") de remise à zéro est reliée à un signal \overline{RG} qui a pour fonction d'initialiser cette bascule au début d'un cycle complet de mesures qui est constitué d'une émission de signal ultrasonore dans le sens d'écoulement du fluide, dite "tir" aval, et d'une émission en sens contraire, dite "tir" amont.

Lorsque le signal ERSS en sortie Q de la bascule 58 passe à 1, le premier front montant du signal conditionné SIG₁ (ou SIG₂) fait passer à 1 la sortie Q de la bascule 68 autorisant ainsi le passage à 1 de la sortie Q de la bascule 70 lors du premier front montant du signal C4M.

Le signal SIG1S ainsi formé correspond au signal SIG₁ synchronisé avec le signal C4M.

Pour obtenir le signal SIG1S déphasé par rapport au signal SIG₁, il est possible de remplacer la bascule 70 par quatre inverseurs logiques en série disposés en sortie Q de la bascule 68.

Le signal ERSS est également envoyé sur l'entrée D d'une bascule 72 de type D.

L'entrée \overline{C} ("clear") de remise à zéro de la bascule 72 reçoit le signal précédent \overline{RG} .

L'entrée d'horloge CK de la bascule 72 est reliée au signal SIG1S.

Le signal commun SIG1S est également envoyé sur l'une des entrées d'une porte logique 74 du type "NON ET" dont la sortie est dirigée sur un inverseur 75 qui envoie le signal SIG1S sur l'entrée D de quatre bascules 76, 78, 80, 82 de type D.

L'entrée \overline{C} ("clear") de remise à zéro de chaque bascule est connectée à la sortie Q de la bascule 72.

Lorsque le signal ERSS est à 1, le premier front montant du signal SIG1S vient déclencher la bascule 72 et fait passer à 1 la sortie Q de celle-ci.

Le premier front montant de SIG1S apparaissant après le passage d'ERSS à 1 libère l'entrée \overline{C} ("clear") de remise à zéro des quatre bascules 76, 78, 80, 82.

Quatre autres bascules 84, 86, 88, 90 de type D reçoivent sur leur entrée d'horloge CK respectivement les sorties Q des bascules 76, 78, 80, 82.

L'entrée D de ces bascules 84, 86, 88, 90 est mise à 1 en permanence et l'entrée \overline{C} ("clear") de remise à zéro de celles-ci est reliée au signal commun d'initialisation \overline{RG} .

Les sorties \overline{Q} des bascules 84 à 90 sont connectées respectivement à l'une des entrées de quatre portes logiques 92, 94, 96, 98 de type "NON ET", l'autre entrée de ces portes recevant respectivement les signaux d'horloge CK₁, CK₂, CK₃, CK₄. Les sorties des portes logiques 92 à 98
 5 sont connectées aux quatre entrées d'une porte logique 100 de type "NON ET".

Les sorties \overline{Q} des bascules 84 à 90, quant à elles, sont reliées aux quatre entrées d'une porte logique 102 de type "NON ET" dont la sortie est inversée par un inverseur logique 104 et est ensuite réinjectée sur la
 10 seconde entrée de la porte logique 74.

Dès qu'un front montant du signal SIG1S est identifié (un tel front constitue en quelque sorte une partie caractéristique du signal) par les quatre bascules 76, 78, 80, 82 celles-ci sont activées et reçoivent sur leurs entrées d'horloge CK respectivement les signaux d'horloge CK₁,
 15 CK₂, CK₃, CK₄.

Le signal commun \overline{RG} est à 1 (initialisation en début de mesure), les bascules 84 à 90 sont rendues actives et sont donc sensibles aux sorties Q des bascules 76, 78, 80, 82.

20 La première transition ou front montant du premier signal d'horloge qui arrive immédiatement après l'apparition du front montant du signal SIG1S déclenche la sortie Q de la bascule recevant le signal d'horloge concerné.

Les bascules 76, 78, 80, 82 permettent l'identification du front montant de SIG1S et la sélection de la première transition du signal d'horloge CK_i qui se produit immédiatement après l'apparition de ce front montant. Par exemple, si CK₃ est le signal d'horloge sélectionné, parce que temporellement le plus proche de SIG1S, la sélection de ce signal par la bascule 80 fait passer à 1 la sortie Q de cette bascule ce qui fait
 30 également passer à 1 la sortie Q de la bascule 88 correspondante.

Les sorties Q des autres bascules 76, 78 et 82 sont toujours à 0.

La sortie Q de la bascule 88 est alors à 0 et fait donc passer à 1 la sortie de la porte logique 102. Le signal inversé arrivant sur la seconde entrée de la porte logique 74 est alors à 0 ce qui verrouille la porte et fait passer
 35 à 0 le signal commun issu de cette porte et reliant les entrées D des bascules 76 à 82.

De cette manière les bascules 76 à 82 deviennent insensibles aux signaux d'horloge CK_i, et les sorties Q de ces bascules restent à 0.

Cela permet d'éviter que d'autres signaux d'horloges puissent être sélectionnés, et de cette façon, le signal d'horloge sélectionné CK₃ est
5 mémorisé.

La sortie Q de la bascule 88 étant à 1, le signal CK₃ est libéré par la porte logique 96 et vient attaquer l'une des quatre entrées de la porte logique 100. Les autres entrées de cette porte 100 sont à 1 étant donné l'état 0 des sorties Q des bascules 84, 86 et 90, et par conséquent, la
10 sortie de la porte 100 délivre le signal CK₃ qui sera nommé par la suite CLS. Le signal CLS correspond au signal d'horloge sélectionné par le montage qui vient d'être décrit.

Étant donné que le signal SIG₁ a été synchronisé par le signal C4M cela permet d'éviter que les fronts des signaux SIG₁ et CLS apparaissent
15 simultanément.

A titre de variante représentée à la figure 8a, les fonctions d'identification du front montant d'une période du signal SIG_{1S} et de sélection de la première transition (front montant) du signal d'horloge CK_i qui se produit
20 immédiatement après l'apparition du front montant de la période du signal SIG_{1S} peuvent également être réalisées de la manière suivante : le signal commun SIG_{1S} est envoyé sur chacune des deux entrées de quatre portes logiques "ET" 101, 103, 105, 107 et les signaux CK_i attaquent chacun respectivement l'entrée d'un circuit monostable 106,
25 108, 109, 111 dont la sortie est reliée à l'autre des deux entrées des quatre portes logiques "ET" précédentes 101, 103, 105, 107. Les sorties des quatre portes logiques "ET" sont envoyées sur les entrées d'horloge CK respectives des quatre bascules de mémorisation 84, 86, 88 et 90.

30 La figure 8b représente une variante de réalisation du dispositif de la figure 6 selon laquelle un étage de bascules D 84-90 a été supprimé. Sur cette figure, seuls sont représentés les éléments qui ont changé par rapport à la figure 6.

Le signal commun SIG_{1S} ou SIG_{2S} issu de la sortie Q de la bascule 70
35 est envoyé sur l'entrée D de quatre bascules de type D 300, 302, 304, 306 et sur l'entrée d'horloge CK d'une autre bascule de type D 308 dont

la sortie Q est reliée à l'entrée \overline{C} ("clear") de remise à zéro desdites bascules 300-306.

Une bascule de type D 310 reçoit sur son entrée d'horloge le signal ERSS, son entrée D est à 1 en permanence et sa sortie Q est envoyée
 5 respectivement sur l'une des deux entrées de quatre portes logiques "ET" 312, 314, 316 318, l'autre entrée de ces portes recevant respectivement les signaux d'horloge CK_1 , CK_2 , CK_3 et CK_4 .

Ainsi, lorsque le signal ERSS passe à 1, la sortie Q de la bascule 310 passe à 1 ce qui libère les signaux d'horloge CK_i . Une demi-période du
 10 signal C4M plus tard, le front montant du signal SIG1S se présente sur les entrées D des bascules 300-306 et active en même temps les entrées \overline{C} ("clear") de remise à zéro de ces bascules par l'intermédiaire de la bascule 308.

Le premier front montant du signal d'horloge CK_i , par exemple CK_3 , qui
 15 suit immédiatement le front montant du signal SIG1S active la bascule D correspondante 304 dont la sortie Q passe à 1.

Étant donné que chaque sortie Q d'une bascule D 300-306 est envoyé sur une entrée d'une porte logique "NON ET" respectivement 320, 322, 324, 326 et que l'autre entrée de chaque porte reçoit respectivement un
 20 signal CK_i , $i = 1$ à 4, différent, le passage à 1 de la sortie Q de la bascule 304 libère le signal CK_3 de la porte logique 324 qui attaque l'une des quatre entrées d'une porte logique "NON ET" 328.

Les trois autres entrées de la porte 328 sont reliées aux sorties des portes 320, 322 et 326 si bien que le signal CK_3 libéré par la porte 324
 25 se retrouve en sortie de la porte 328.

Les sorties \overline{Q} des bascules 300-306 sont reliées aux quatre entrées d'une porte logique "NON ET" 330 dont la sortie est envoyée sur un inverseur logique 332 qui est relié à l'entrée \overline{S} ("set") d'une bascule RS 334.

La sortie Q de la bascule 334 attaque l'entrée \overline{C} ("clear") de remise à zéro de la bascule 310 et l'entrée \overline{C} ("clear") de remise à zéro de ladite bascule 334 reçoit le signal \overline{RG} de réinitialisation qui se produit toutes les deux mesures (après un tir amont et un tir aval).

Ainsi, la sortie Q de la bascule 304 passant à 1, la sortie \overline{Q} passe à 0, la
 35 sortie de la porte 330 passe à 1 et l'entrée \overline{S} de la bascule 334 est donc à 0 ce qui force à 1 la sortie Q de ladite bascule 334 et à 0 la sortie \overline{Q} .

De ce fait, l'entrée \overline{C} ("clear") de la bascule 310 passe à 0, la sortie Q passe à 0 ce qui verrouille les portes logiques 312-318. La bascule RS 334 assure donc le verrouillage de la sélection de signaux d'horloge et le signal d'horloge CK₃ (CLS) sélectionné par la bascule 304 est ainsi

5 mémorisé dans ladite bascule 304.

Cette variante permet de réduire la consommation énergétique du dispositif car les signaux CK_i ne sont pas adressés directement sur les entrées d'horloge CK des bascules 300-306.

- 10 La description qui va suivre faite en référence aux figures 9 et 10 illustre la génération du signal SIG₁ - CLS, noté IEX₁, qui est formé à partir d'un nombre entier m de périodes consécutives du signal SIG₁.

Le signal IEX₁ se présente sous la forme de m créneaux où la largeur de chaque créneau correspond au temps écoulé entre l'apparition de la

15 partie caractéristique d'une période du signal SIG₁, par exemple son front montant, et l'apparition de la première transition du signal CLS qui suit, c'est-à-dire par exemple le front montant de ce signal (Fig.10).

Le nombre m est par exemple égal à 16 afin de réduire le bruit accompagnant les mesures et pour une fonction de moyennage.

- 20 Lorsque la sortie Q de la bascule 60 (Fig.6) passe à 1, le signal ERES autorise une bascule 110 de type D (Fig.9) à rendre actif le signal d'horloge sélectionné CLS sur l'entrée d'horloge CK de ladite bascule 110.

L'entrée \overline{C} ("clear") de remise à zéro de cette bascule 110 est reliée au

25 signal \overline{R} de remise à zéro qui est activé au début de chaque mesure.

Lors d'un front montant du signal CLS (Fig.10), la sortie Q de la bascule 110 passe à 1 ce qui force à 0 la sortie \overline{Q} de cette bascule et lève ainsi l'entrée de remise à zéro "Reset" d'un compteur 16 bits, 112, par exemple de type HC4040, qui va débiter le comptage des 16 créneaux.

- 30 La sortie Q₅ du compteur 112 passe à 1 au début du seizième créneau et l'inverse de ce signal est envoyé sur l'entrée \overline{C} ("clear") de remise à zéro d'une bascule 114 de type D.

La sortie Q de la bascule 110 est reliée à l'entrée d'horloge CK de la bascule 114 dont l'entrée D est à 1 en permanence, et le passage à 1 de

35 la sortie Q de la bascule 110 force à 0 la sortie \overline{Q} de la bascule 114.

La sortie \overline{Q} de cette bascule 114 est envoyée sur une entrée d'une porte logique "NON ET" 116 dont l'autre entrée est à 1 en permanence et dont la sortie est reliée à l'entrée D d'une bascule 118 de type D.

5 La sortie \overline{Q} de la bascule 114 passant à 0, l'entrée D de la bascule 118 passe à 1 (Fig.10).

Le premier front montant du signal SIG₁ qui se présente à l'entrée d'horloge CK de la bascule 118, après que l'entrée D soit passée à 1, provoque le passage à 1 de la sortie Q de cette bascule (Fig.10).

10 La sortie Q de la bascule 118 est reliée, d'une part, à l'entrée D d'une bascule 120 de type D et, d'autre part, à l'entrée \overline{C} ("clear") de remise à zéro de cette bascule ainsi qu'à l'une des entrées d'une porte logique "NON ET" 122 dont la sortie attaque l'entrée d'horloge CK du compteur 112. La sortie \overline{Q} de la bascule 120 est reliée à l'entrée \overline{C} ("clear") de remise à zéro de la bascule 118. Lorsque la sortie Q de la bascule 118
15 est à 0, la porte 122 reçoit sur l'une de ses entrées un signal logique de valeur 0 et la sortie de cette porte est donc à 1.

Dès que la sortie Q de la bascule 118 passe à 1, la sortie de la porte 122 passe à 0 et le front descendant ainsi généré déclenche le comptage du premier créneau par le compteur 112.

20 Simultanément, la sortie \overline{Q} de la bascule 118 qui était à 1 passe à 0 et force ainsi à 1 la sortie d'une porte logique 124.

Dès que le premier front montant du signal d'horloge sélectionné CLS se présente (Fig.10) à l'entrée d'horloge CK de la bascule 120, la sortie \overline{Q} de cette bascule passe à 0 ce qui force à 0 la sortie Q de la bascule
25 118.

Par conséquent, le signal issu de la sortie \overline{Q} de la bascule 118 passe à 1 et le premier créneau du signal IEX₁ est formé (Fig.10).

Seize créneaux consécutifs sont ainsi formés de façon analogue.

L'apparition du seizième front montant consécutif du signal SIG₁
30 provoque de la même façon le passage à 0 du signal en sortie de la porte logique 122 activant ainsi le comptage du dernier créneau par le compteur 112.

Le signal issu de la sortie \overline{Q} de la bascule 118 passe donc également à 0. L'apparition du seizième front descendant en entrée d'horloge CK du compteur 112 fait passer à 1 la sortie Q₅ de ce compteur et donc à 0 la
35 sortie inversée, verrouillant ainsi la porte NON ET 122.

De ce fait, le signal en sortie de la porte logique 122 repasse à 1 (Fig.10) ce qui arrête le comptage. L'entrée \overline{C} ("clear") de remise à zéro de la bascule 114 passe à 0, forçant ainsi à 1 la sortie \overline{Q} de la bascule 114 et donc à 0 l'entrée D de la bascule 118 ce qui bloque cette dernière bascule.

Lorsque le front montant suivant du signal d'horloge sélectionné CLS apparaît en entrée d'horloge CK de la bascule 120, la sortie \overline{Q} de celle-ci passe à 0 ce qui force à 1 la sortie \overline{Q} de la bascule 118 et le seizième créneau du signal IEX₁ est formé (Fig.10).

L'étape suivante consiste à déterminer le temps t₁ qui correspond à la somme sur ces seize créneaux des temps écoulés entre l'apparition sur chaque période du signal SIG1 du front montant de ce signal et l'apparition du premier front montant du signal CLS qui se présente immédiatement après.

Cette étape consiste en fait à déterminer la somme des largeurs des seize créneaux formés (Fig.11) dont trois seulement sont représentés sur la figure 11.

La figure 12 est une vue schématique simplifiée d'un expanseur de temps. Un expanseur de temps est utile en raison de la faible "largeur" des créneaux du signal IEX₁ qui ne peut pas être déterminée par des moyens classiques tels que par exemple le comptage d'impulsions qui nécessiterait une horloge et un compteur de très haute fréquence.

La "largeur" de chacun des créneaux du signal IEX₁ obtenus avec quatre signaux d'horloge peut par exemple représenter un temps unitaire de l'ordre de 130 à 375 ns.

Comme représenté sur cette figure, le signal IEX₁, représenté par une tension V_e pouvant prendre les valeurs logiques 0 ou 1, est envoyé sur un générateur de courant G₁ délivrant un courant I₁. Ce générateur est relié par l'une de ses bornes au point A. Un condensateur C de capacité par exemple égale à 22 nF, est relié par une de ses armatures au point A et la tension U_C aux bornes du condensateur est appliquée à l'entrée inverseuse d'un amplificateur opérationnel AO utilisé en comparateur.

L'entrée non inverseuse de ce comparateur AO reçoit une tension de référence V_R (par exemple +1,5 v).

Le comparateur est alimenté par une tension V_{DD} (par exemple 3,3 v).

La sortie du comparateur AO est connectée à un inverseur déclencheur ("trigger") logique IL dont la sortie est envoyée sur un second générateur

de courant G_2 qui délivre un courant I_2 . Ce second générateur est alimenté par la tension V_{dd} et est connectée par une de ses bornes au point A.

- 5 Lorsque la tension V_e vaut 0 (Fig.12a), le courant I_1 est nul, la tension U_C aux bornes du condensateur reste supérieure à la tension de référence V_R , la sortie VAO du comparateur est nulle, la sortie de l'inverseur IL est à 1 et le courant I_2 est nul.

- 10 Lorsque la tension V_e vaut 1 (Fig.12a), le courant I_1 vaut par exemple 3mA et le condensateur C se décharge jusqu'à une certaine valeur U_C inférieure à V_R pour laquelle la tension V_e redevient nulle.

- 15 La tension de sortie VAO passe ensuite à sa valeur maximale (par exemple égale à 2,8 v) et celle de IL passe à 0 ce qui permet de recharger progressivement le condensateur par le courant I_2 , de valeur à peu près égale à $3\mu A$, jusqu'à une valeur supérieure à la tension V_R , puis la valeur de la tension VAO retombe alors à zéro (Fig.12a), celle de IL passe à 1 et I_2 redevient nul.

Étant donné que $I_1 t_e = I_2 T_S = C U_C = \text{constante}$, on en déduit le rapport I_1/I_2 qui est par exemple égal à 1 000 avec $I_1 = 3\text{mA}$ et $I_2 = 3\mu A$.

Ainsi $T_S/t_e = 1\,000$.

- 20 Par conséquent, pour chaque "largeur" ou durée t_e d'un créneau, on obtient un temps expansé T_S en sortie du comparateur qu'il suffit de déterminer de manière classique pour en déduire la largeur $t_e = T_S/1000$.

- 25 Le temps T_S est par exemple déterminé par la valeur de la résistance R_{10} sur le montage de la figure 13.

Le montage représenté à la figure 13 est un exemple de montage réalisant la fonction d'expandeur de temps décrite ci-dessus.

- 30 Le montage comprend une résistance R_7 à travers laquelle passe le signal IEX_1 (Figs.9 et 10), connectée à un point B auquel sont également connectés, d'une part, une diode D_1 montée en série avec une résistance R_8 et, d'autre part, la base d'un transistor NPN 130.

L'émetteur de ce transistor NPN est relié à la masse par l'intermédiaire d'une résistance R_9 tandis que le collecteur est relié à un point C.

- 35 Un niveau logique 1 sur le signal IEX_1 définit dans le réseau R_7 , D_1 , R_8 un potentiel B auquel est soumise la base du transistor 130. Le courant est donc sensiblement défini par la formule $i = (V_B - V_{be})/R_9$, où V_{be} désigne la tension base-émetteur du transistor 130, soit environ 0,65v.

Un condensateur C3 est connecté par une de ses armatures au point C et à l'entrée inverseuse d'un comparateur 132 alimenté par une tension Vdd, l'entrée inverseuse de ce comparateur étant soumis à une tension de référence VR.

- 5 La sortie est envoyée, d'une part, vers un timer de mesure associé à un microprocesseur non représenté sur les figures et, d'autre part sur une résistance R10.

La résistance R10 est connectée à un point D auquel sont également connectés, d'une part, une diode D2 montée en série avec une
10 résistance R11 et, d'autre part, la base d'un transistor 136.

L'émetteur du transistor PNP 136 est relié à une résistance R12 tandis que le collecteur est relié au point C précédemment mentionné.

Une tension Vdd assure l'alimentation du montage.

Ce montage fonctionne de la manière indiquée précédemment en
15 référence aux figures 12 et 12a.

Les générateurs de courant G1 et G2 de la figure 12 sont respectivement remplacés par les transistors 130 et 136 tandis qu'une diode et une
20 résistance montées en série ont été ajoutées en relation avec chacun des transistors afin de compenser la dérive en température de la diode émetteur/base des transistors.

Ainsi, après avoir expansé le temps correspondant à la somme des largeurs des seize créneaux du signal IEX1 on obtient le temps t1 qui est caractéristique de la propagation du signal ultrasonore émis par le transducteur T1 en direction du transducteur T2 situé en aval (Fig.1).

25 Environ 40 ms après le début de l'émission du signal à partir du transducteur T1 le signal R de remise à zéro est généré afin de réinitialiser les blocs logiques d'élaboration des signaux IEX.

Le transducteur T2 émet ensuite un signal ultrasonore en direction du transducteur T1 consécutivement à un signal d'excitation SE2 de
30 fréquence égale à 1MHz, généré par le séquenceur 24.

Le bloc de commutation commandé par le microprocesseur est basculé de manière à ce que l'interrupteur 44 soit ouvert et l'interrupteur 46 soit fermé.

Le transducteur T1 reçoit le signal ultrasonore qui s'est propagé de
35 l'aval vers l'amont environ 90µs après l'instant de début d'émission et ce signal est conditionné par l'inverseur 48 pour obtenir le signal SIG2 qui a l'allure indiquée sur la figure 5a.

Le bloc qui a été décrit en relation avec la figure 6 reste activé dans l'état où il était lorsque le signal d'horloge CLS a été sélectionné et ce bloc délivre donc le signal CLS.

Le signal SIG2 est synchronisé avec le signal C4M pour générer le
5 signal SIG2S.

Le signal SIG2 est envoyé sur l'entrée d'horloge CK de la bascule 118 (Fig.9). tandis que le signal d'horloge sélectionné CLS est envoyé sur les entrées d'horloge CK des bascules 110 et 120. Une partie du signal SIG2 est sélectionnée par le signal ERES qui valide l'entrée D de la
10 bascule 110. Le bloc représenté sur la figure 9 fonctionne de manière analogue à ce qui a été décrit concernant la formation du signal IEX1 et le signal IEX2 est donc généré de cette façon.

Les signaux IEX1 et IEX2 sont représentés sur la figure 14.

Ils sont représentés l'un au dessus de l'autre pour la commodité de
15 l'exposé mais il est clair qu'ils ne sont pas simultanés dans le temps.

Le signal IEX2 est ensuite traité par le montage du circuit d'expansion de temps représenté à la figure 13 et de manière identique à ce qui a déjà été décrit en référence à cette figure.

Le temps t_2 caractéristique de la propagation du signal ultrasonore émis
20 par le transducteur T2 vers le transducteur T1 est ainsi déterminé comme décrit précédemment pour le temps t_1 .

La différence de ces temps $t_2 - t_1$ est ensuite calculée par le microprocesseur et le débit de fluide Q qui est proportionnel à cette différence est alors déduit de la formule suivante : $Q = K (t_2 - t_1) / C$ où K
25 est un terme qui tient compte de la géométrie du compteur et C est un terme correcteur lié à la vitesse de propagation du son dans l'eau.

Le débit Q peut également se mettre sous la forme $Q = 2LS (t_2 - t_1) / (t_1 + t_2)^2$ avec la géométrie de la figure 1 où L et S sont respectivement la longueur du tube et la section de passage du tube.

30 Avec $L = 10\text{cm}$, $S = 1\text{cm}^2$ et $t_1 + t_2 = 160\mu\text{s}$ on trouve $Q = 1406\text{ l/h}$.

Avantageusement, le signal CLS est une référence temporelle temporaire qui est utilisée comme référence intermédiaire pour déterminer les temps t_1 et t_2 . Cette référence ensuite est éliminée lorsque l'on détermine la différence $t_1 - t_2$ qui va fournir l'indication
35 métrologique recherchée.

Cette méthode ne nécessite pas de reconstituer la phase du signal pour déterminer le temps de propagation dudit signal ce qui est moins dispendieux en énergie.

- 5 En outre, cette méthode est plus souple que celles utilisées dans l'art antérieur puisque l'on crée la référence temporelle et il n'est donc pas nécessaire de tenir compte du signal d'émission.

La méthode selon l'invention est fiable étant donné que l'on travaille en numérique et cette méthode est également très précise.

- 10 Pour une fréquence d'émission de 1MHz, le temps de propagation d'un signal ultrasonore est de l'ordre de 70 à 80 μ s et la rotation de phase du signal émis varie de 140 à 160 π .

- Si, par exemple, le temps de propagation amont-aval est égal à 70 μ s, ce qui correspond à une rotation de phase du signal de 140 π , alors le temps de propagation aval-amont peut être égal à 70 μ s + 500ns et la
15 rotation de phase correspondante est égale à 140 π + π pour un débit d'eau maximum.

Pour une application au comptage d'eau domestique le débit maximum est par exemple égal à 2m³/h avec une conduite 12 de diamètre égal à 10 mm.

- 20 Cela signifie dans ce cas, que la différence des temps expansés t_2-t_1 est égale à 500ns ce qui correspond à un déphasage de π .

Il suffit de quatre signaux d'horloge CK_i tels que ceux décrits précédemment pour déterminer une différence des temps t_2-t_1 égale à 500ns avec une consommation minimale.

- 25 Dans le cas où le déphasage est supérieur à π , il est indispensable d'augmenter le nombre des signaux d'horloge.

Il est possible d'augmenter le nombre de signaux d'horloge CK_i en vue d'accroître la dynamique de la mesure du débit mais la consommation énergétique sera plus importante.

- 30 En modifiant la fréquence d'émission des signaux ultrasonores il est possible, soit d'augmenter la précision de la mesure et donc de réduire la dynamique du compteur (fréquence augmentée), soit d'accroître la dynamique du compteur mais en réduisant la précision de la mesure (fréquence diminuée).

- 35 Un second mode de réalisation est représenté à la figure 15 et va être décrit ci-après.

Comme représenté sur la figure 15, le dispositif de mesure comprend des moyens 200 de formation de huit signaux d'horloge CK_i , avec $i = 1$ à 4. La figure 16 indique l'allure des signaux CK_i formés.

5 Ces moyens comprennent un oscillateur à quartz 202 de fréquence égale à 8MHz.

Cet oscillateur délivre un signal d'horloge qui attaque les entrées d'horloge CK de quatre bascules 204, 206, 208, 210 de type D qui forment un diviseur.

10 La sortie \overline{Q} de la bascule 210 est connectée à l'entrée D de la bascule 204 et les sorties Q des bascules 204, 206 et 208 sont reliées respectivement à l'entrée D des bascules 206, 208 et 210.

En supposant que le signal CK_4 est à 0, lorsqu'un front montant du signal d'horloge à 8MHz se présente, le signal d'horloge CK_1 délivré par la sortie Q de la bascule 204 passe à 1 et l'entrée D de la bascule 15 206 prend donc également la valeur 1.

Le signal d'horloge CK_5 délivré par la sortie \overline{Q} de la bascule 204 passe donc à 0.

Sur le front montant suivant du signal d'horloge à 8MHz, le signal d'horloge CK_2 délivré par la sortie Q de la bascule 206 passe à 1.

20 Ainsi, le signal d'horloge CK_6 délivré par la sortie \overline{Q} de la bascule 206 passe à 0.

Le front montant suivant du signal d'horloge à 8MHz fait passer à 1 le signal d'horloge CK_3 délivré par la sortie Q de la bascule 208, tandis que le signal d'horloge CK_7 délivré par la sortie \overline{Q} de ladite bascule 25 passe à 0.

Le front montant suivant du signal d'horloge à 8MHz fait passer à 1 le signal d'horloge CK_4 délivré par la sortie Q de la bascule 210, ce qui fait passer à 0 le signal d'horloge CK_8 délivré par la sortie \overline{Q} de ladite bascule et donc l'entrée D de la bascule 204 prend également la valeur 30 0.

Lors du prochain front montant du signal d'horloge à 8MHz, le signal d'horloge CK_1 retombe à 0, tandis que le signal CK_5 passe à 1 et ainsi l'entrée D de la bascule 206 passe également à 0.

35 Lorsque le front montant suivant du signal d'horloge à 8MHz se présente, le signal d'horloge CK_2 délivré par la sortie Q de la bascule 206 passe à 0 et le signal CK_6 passe donc à 1.

Le front montant suivant du signal d'horloge à 8MHz fait passer à 0 le signal d'horloge CK4 et à 1 le signal d'horloge CK8, ce qui force à 1 l'entrée D de la bascule 204.

- 5 Lors d'un autre front montant du signal d'horloge à 8MHz, le signal d'horloge CK1 passe à 1, le signal d'horloge CK5 passe donc à 0. Un front montant suivant du signal d'horloge à 8MHz fait passer à 1 le signal d'horloge CK2, et donc fait passer à 0 le signal d'horloge CK6.

Le front montant du signal d'horloge à 8MHz fait passer à 1 le signal d'horloge CK3 et à 0 le signal d'horloge CK7.

- 10 Sur le front montant suivant du signal d'horloge à 8MHz, le signal d'horloge CK4 passe à 1 et le signal d'horloge CK8 passe à 0, ce qui force à 0 l'entrée D de la bascule 204.

Ainsi, les huit signaux d'horloge CK1, CK2, CK3, CK4, CK5, CK6, CK7 et CK8 sont formés.

- 15 Ces signaux ont même fréquence que les signaux d'excitation SE1 et SE2 des transducteurs (1MHz) qui sont créés par exemple à partir du signal d'horloge CK1. Les signaux sont déphasés entre eux de $\pi/4$ et sont dans une relation de phase fixe par rapport aux signaux d'excitation des transducteurs.

- 20 En outre, ces signaux présentent des transitions entre une valeur logique 0 et une valeur logique 1.

Comme représenté à la figure 3, un signal ERS dit de synchronisation est généré par le décodeur 28 du séquenceur 26 et son allure est représentée sur les figures 5 et 5a.

- 25 Sa valeur logique est à 0 et au bout d'un temps égal à 95 μ s, sa valeur passe à 1 lorsque le signal reçu se situe dans sa partie centrale qui est moins perturbée que le début ou la fin dudit signal reçu. Ce signal déclenche le début de la phase de sélection d'un signal d'horloge CKj.

- 30 En référence à la figure 15, le signal ERS est envoyé sur l'entrée D d'une bascule 212 de type D. Cette bascule permet de générer à sa sortie Q un signal ERSS qui correspond au signal ERS synchronisé avec le signal d'horloge CK1 qui est envoyé sur l'entrée d'horloge CK de la bascule 212.

Le signal CK1 a été choisi arbitrairement.

- 35 Un signal ERE est généré par le décodeur 28 du séquenceur 26 (Fig.3) et son allure est représentée sur la figure 5.

Sa valeur logique est à 0 et, 2 μ s après le passage à 1 du signal ERS, sa valeur passe à 1. Ce signal va déclencher le début de la phase de mesure.

- 5 En référence à la figure 15, le signal ERE est envoyé sur l'entrée D d'une bascule 214 de type D dont l'entrée \overline{C} ("clear") de remise à zéro est reliée à un signal \overline{R} qui la réinitialise au début d'une mesure.

La sortie Q de la bascule 214 est connectée à l'une des entrées d'une porte logique 216 de type "NON OU", l'autre entrée recevant le signal \overline{ERSS} .

- 10 La sortie de cette porte 216 est reliée à un inverseur 218 dont la sortie est connectée à l'une des entrées d'une porte logique 220 de type "NON OU", l'autre entrée recevant le signal d'horloge à 8MHz.

- 15 En sortie de cette porte 220, un signal C8M de fréquence égale à 8MHz est délivré. Le signal C8M est réinjecté sur l'entrée d'horloge CK de la bascule 214. Ce signal C8M est déclenché par le passage de \overline{ERSS} à zéro et est supprimé lors de l'apparition du signal ERE synchronisé par ce même signal C8M.

- 20 La sortie Q de la bascule 214 fournit un signal ERES qui correspond au signal ERE synchronisé avec le signal C8M. Ce signal sert à valider le bloc de mesure.

Le signal synchronisé ERSS est envoyé sur l'entrée \overline{C} ("clear") de remise à zéro d'une bascule 222 de type D. Le signal SIG (SIG1 ou SIG2) est envoyé sur l'entrée d'horloge CK de cette bascule dont l'entrée D est à 1.

- 25 La sortie Q de la bascule 222 est reliée à l'entrée D d'une bascule 224 de type D.

Le signal C8M est envoyé sur l'entrée d'horloge CK de cette bascule 224 et l'entrée \overline{C} ("clear") de remise à zéro est reliée un signal \overline{RG} qui a pour fonction d'initialiser cette bascule au début d'un cycle complet de

- 30 mesures.

Lorsque le signal ERSS en sortie Q de la bascule 212 passe à 1, le premier front montant du signal conditionné SIG1 (ou SIG2) fait passer à 1 la sortie Q de la bascule 222 autorisant ainsi le passage à 1 de la sortie Q de la bascule 224 lors du premier front montant du signal C8M.

- 35 Le signal SIG1S ainsi formé correspond au signal SIG1 synchronisé avec le signal C8M.

Le signal ERSS est également envoyé sur l'entrée D d'une bascule 225 de type D.

L'entrée \overline{C} ("clear") de remise à zéro de la bascule 225 reçoit le signal précédent RG.

- 5 Le signal commun SIG1S est envoyé sur l'une des entrées d'une porte logique 226 du type "NON ET" dont la sortie est dirigée sur un inverseur 227 qui envoie le signal inversé sur l'entrée D de huit bascules 228, 230, 232, 234, 236, 238, 240, 242 de type D et sur l'entrée d'horloge CK de la bascule 225.
- 10 L'entrée \overline{C} ("clear") de remise à zéro de chaque bascule est connectée à la sortie Q de la bascule 225.
Lorsque le signal ERSS est à 1, le premier front montant du signal SIG1S vient déclencher la bascule 225 et fait passer à 1 la sortie Q de celle-ci.
- 15 Le premier front montant de SIG1S apparaissant après le passage d'ERSS à 1 libère l'entrée \overline{C} ("clear") de remise à zéro des huit bascules 228-242.
Huit autres bascules 244, 246, 248, 250, 252, 254, 256, 258 de type D reçoivent sur leur entrée d'horloge CK respectivement les sorties Q des
- 20 bascules 228-242.
L'entrée D de ces bascules 244-258 est mise à 1 en permanence et l'entrée \overline{C} ("clear") de remise à zéro de celles-ci est reliée au signal commun d'initialisation RG.
Les sorties \overline{Q} des bascules 244-258 sont connectées respectivement à
- 25 l'une des entrées de huit portes logiques 260, 262, 264, 266, 268, 270, 272, 274 de type "NON ET", l'autre entrée de ces portes recevant respectivement les signaux d'horloge CK₁ à CK₈. Les sorties des portes logiques 260-274 sont connectées aux huit entrées d'une porte logique 276 de type "NON ET".
- 30 Les sorties \overline{Q} des bascules 244-258, quant à elles, sont reliées aux quatre entrées d'une porte logique 278 de type "NON ET" dont la sortie est inversée par un inverseur logique 280 et est ensuite réinjectée sur la seconde entrée de la porte logique 226.
Dès qu'un front montant du signal SIG1S est identifié par les huit
- 35 bascules 228 à 242 celles-ci sont activées et reçoivent sur leurs entrées d'horloge CK respectivement les signaux d'horloge CK₁ à CK₈.

Le signal commun \overline{RG} est à 1 (initialisation en début de mesure), les bascules 244 à 258 sont rendues actives et sont donc sensibles aux sorties Q des bascules 228 à 242.

- 5 La première transition ou front montant du premier signal d'horloge qui arrive immédiatement après l'apparition du front montant du signal SIG1S déclenche la sortie Q de la bascule recevant le signal d'horloge concerné.
Par exemple, si CK₅ est le signal d'horloge sélectionné, parce que
10 temporellement le plus proche de SIG1S, la sélection de ce signal par la bascule 236 fait passer à 1 la sortie Q de cette bascule ce qui fait également passer à 1 la sortie Q de la bascule 252 correspondante.
Les sorties Q des autres bascules 228 à 234 et 238 à 242 sont toujours à 0.
- 15 La sortie \overline{Q} de la bascule 252 est alors à 0 et fait donc passer à 1 la sortie de la porte logique 278. Le signal inversé arrivant sur la seconde entrée de la porte logique 226 est alors à 0 ce qui verrouille la porte et fait passer à 0 le signal commun issu de cette porte et reliant les entrées D des bascules 228 à 242.
- 20 De cette manière les bascules 228 à 242 deviennent insensibles aux signaux d'horloge CK_i, et les sorties Q de ces bascules restent à 0.
Cela permet d'éviter que d'autres signaux d'horloges puissent être sélectionnés, et de cette façon, le signal d'horloge sélectionné CK₅ est mémorisé.
- 25 La sortie Q de la bascule 252 étant à 1, le signal CK₅ est libéré par la porte logique 268 et vient attaquer l'une des quatre entrées de la porte logique 276. Les autres entrées de cette porte 276 sont à 1 étant donné l'état 0 des sorties Q des bascules 244 à 250 et 254 à 258 et par conséquent, la sortie de la porte 276 délivre le signal CK₅ qui sera
30 nommé par la suite CLS. Le signal CLS correspond au signal d'horloge sélectionné par le montage qui vient d'être décrit.
Étant donné que le signal SIG₁ a été synchronisé par le signal C8M cela permet d'éviter que les fronts des signaux SIG₁ et CLS apparaissent simultanément.
- 35 Tout ce qui a été décrit précédemment en relation avec les figures 9 à 14 reste valable pour le second mode de réalisation qui vient d'être décrit.

A titre d'exemple, lorsque l'on utilise quatre signaux d'horloge CK_i avec une fréquence de 4MHz et lorsque l'on synchronise le signal SIG_1 avec le signal $C4M$ grâce à la bascule 70, les signaux CK_1 , CK_3 , $C4M$, SIG_1 , SIG_1S et IEX_1 ont, par exemple, l'allure représentée à la figure 17.

- 5 Ainsi, lorsque l'on cherche à mesurer la largeur du créneau formé entre un front montant du signal SIG_1 et le premier front montant du signal d'horloge CK_i qui se produit immédiatement après (il s'agit de CK_3 dans l'exemple choisi) on s'aperçoit que la largeur temporelle de ce créneau (tir aval) se décompose en deux parties : une première partie aléatoire
- 10 de durée τ_1 qui est due à la synchronisation du signal SIG_1 avec le signal $C4M$, la durée τ_1 étant comprise entre 0 et 250 ns suivant la position relative des deux signaux SIG_1 et $C4M$, et une seconde partie fixe de durée τ_2 qui correspond à une demi-période du signal $C4M$ soit 125 ns.
- 15 La largeur temporelle du créneau est donc au maximum de 375 ns. En revanche, lorsque l'on cherche à mesurer la largeur du créneau formé entre un front montant du signal SIG_2 et le premier front montant du signal d'horloge sélectionné CK_3 (tir amont), la largeur temporelle de ce créneau est au maximum égale à $1\mu s - \varepsilon$ soit environ 970 ns, où $1\mu s$
- 20 représente la période du signal à 1MHz et ε est un terme de sécurité qui garantit le fonctionnement correct des bascules 118 et 120 de la figure 9. Par conséquent, lorsque l'on effectue la différence des largeurs temporelles des deux créneaux précédents, on obtient une durée maximale de 595 ns.
- 25 En utilisant huit signaux d'horloge CK_i avec une fréquence de 8MHz, la largeur temporelle du créneau obtenu pour le tir amont est toujours la somme de deux termes τ_1 et τ_2 , mais τ_1 est alors compris entre 0 et 125 ns (due à la synchronisation avec le signal $C8M$) et τ_2 vaut 62,5 ns (correspond à une demi-période du signal $C8M$), ce qui fixe au
- 30 maximum à 187,5 ns la largeur temporelle de ce créneau. La largeur temporelle du créneau obtenu pour le tir aval restant inchangée (970 ns), la différence de ces deux termes est alors au maximum de 782,5 ns.
- Ceci correspond à une augmentation de la dynamique du dispositif de
- 35 mesure de 1,3 ($= 782,5/595$). Ainsi, par exemple, si la gamme de débits couverte par le dispositif de mesure avec quatre signaux d'horloge s'étend de 0 à 1500l/h, alors le

dispositif de mesure avec huit signaux d'horloge permettra de couvrir une gamme s'étendant jusqu'à 1950/h.

Il convient de remarquer que pour augmenter la dynamique du dispositif de mesure utilisant au moins quatre signaux d'horloge, il est possible de

5 remplacer le délai logique correspondant au temps τ_2 par un temps beaucoup plus court qui est encore compatible avec la technologie de la logique utilisée. Ce temps est par exemple obtenu par une cascade d'inverseurs ou par un circuit RC suivi d'un circuit de déclenchement ("trigger").

- 10 Avec l'invention, il suffit d'une moyenne sur cinq cycles (un cycle correspondant à un tir amont et un tir aval) pour obtenir une résolution de 50 ps.

REVENDEICATIONS

1. Procédé de mesure d'un débit de fluide en écoulement consistant à transmettre consécutivement entre deux transducteurs ultrasonores espacés dans la direction de l'écoulement du fluide respectivement deux signaux ultrasonores qui se propagent dans des sens opposés, chaque transducteur recevant respectivement un signal ultrasonore SIG1, SIG2 caractérisé en ce que ledit procédé consiste à : former n signaux d'horloge CK_i , $i = 1$ à n et $n \geq 4$, comportant des transitions, déphasés entre eux de $2\pi/n$, en relation de phase fixe par rapport à un signal d'excitation des transducteurs et de même fréquence que ce signal, choisir une partie caractéristique d'une période d'un premier signal reçu SIG1 dans un sens de propagation, sélectionner la première transition du signal d'horloge qui se produit immédiatement après l'apparition de ladite partie caractéristique, mémoriser ce signal d'horloge appelé CLS, déterminer le temps t_1 correspondant à la somme sur un nombre entier m de périodes consécutives de chacun des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG1 et l'apparition de la première transition du signal CLS qui suit, repérer sur m périodes consécutives d'un second signal reçu SIG2 dans le sens de propagation opposé la même partie caractéristique, déterminer le temps t_2 correspondant à la somme sur ces m périodes de chacun des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG2 et l'apparition de la première transition du signal CLS qui suit, former la différence $|t_2 - t_1|$ et en déduire le débit de fluide Q qui est proportionnel à $|t_2 - t_1|$.
2. Procédé selon la revendication 1, dans lequel $m = 1$.
3. Procédé selon la revendication 1, dans lequel $m \neq 1$ et la période sur laquelle est choisie la partie caractéristique correspond à la première des m périodes consécutives du premier signal reçu SIG1.

4. Procédé selon la revendication 1, dans lequel $m \neq 1$ et la période sur laquelle est choisie la partie caractéristique précède les m périodes consécutives du premier signal reçu SIG1.
- 5 5. Procédé selon l'une des revendications 1 à 4, consistant à conditionner les signaux reçus SIG1 et SIG2 sous la forme de créneaux.
- 10 6. Procédé selon la revendication 5, selon lequel la partie caractéristique des périodes des signaux reçus correspond au front montant de chaque créneau.
- 15 7. Procédé selon la revendication 5, selon lequel la partie caractéristique des signaux reçus correspond au front descendant de chaque créneau.
8. Procédé selon l'une des revendications 1 à 7, selon lequel les signaux d'horloge CKi se présentent sous la forme de créneaux.
- 20 9. Procédé selon la revendication 1, selon lequel la première transition du signal d'horloge CLS est un front montant.
10. Procédé selon la revendication 1, selon lequel la première transition du signal d'horloge CLS est un front descendant.
- 25 11. Procédé selon l'une des revendications 1 à 10, consistant à former les différences respectives SIG1 - CLS et SIG2 - CLS entre les signaux afin d'obtenir les signaux respectifs IEX1 et IEX2 qui vont permettre de déterminer les temps respectifs t_1 et t_2 .
- 30 12. Procédé selon les revendications 5, 8 et 11 selon lequel les signaux IEX1 et IEX2 se présentent sous la forme de créneaux et qui consiste à expanser la durée cumulée de tous les créneaux pour déterminer les temps respectifs t_1 et t_2 .

35

13. Procédé selon l'une des revendications 1 à 12, selon lequel le signal d'horloge CK1 est en phase avec le signal d'excitation des transducteurs.
- 5 14. Procédé selon l'une des revendications 1 à 13, consistant à former quatre signaux d'horloge CKi, $i = 1$ à 4.
15. Procédé selon l'une des revendications 1 à 13, consistant à former huit signaux d'horloge CKi, $i = 1$ à 8.
- 10 16. Procédé selon l'une des revendications 1 à 15, consistant à former pour chaque signal reçu un signal SIGS déphasé par rapport aux signaux d'horloge CKi.
- 15 17. Procédé selon la revendication 16, selon lequel le signal SIGS est déphasé de π/n par rapport aux signaux d'horloge CKi.
18. Dispositif de mesure d'un débit de fluide en écoulement comprenant :
- 20 - au moins deux transducteurs ultrasonores (T1,T2) espacés dans la direction de l'écoulement du fluide,
- des moyens de formation d'un signal d'excitation de ces transducteurs,
- 25 - des moyens de réception de deux signaux ultrasonores SIG1 et SIG2 émis respectivement par lesdits transducteurs dans des sens opposés et consécutivement, caractérisé en ce que ledit dispositif comprend en outre :
- des moyens (52,54,56;202-210) de formation de n signaux d'horloge CKi, $i = 1$ à n et $n \geq 4$, qui comportent des transitions, sont déphasés entre eux de $2\pi/n$, sont en relation de phase fixe par rapport au signal d'excitation et de même fréquence que ce signal,
- 30 - des moyens (76,78,80,82;228-242) d'identification d'une partie caractéristique d'une période du premier signal reçu SIG1,
- des moyens (76,78,80,82;228-242) de sélection de la première transition du signal d'horloge CKi qui se produit immédiatement après l'apparition de ladite partie caractéristique,
- 35

- des moyens (84,86,88,90;244-258) de mémorisation de ce signal d'horloge appelé CLS,
 - des moyens de détermination du temps t_1 correspondant à la somme sur un nombre entier m de périodes consécutives des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG1 et l'apparition de la première transition du signal CLS qui suit,
 - des moyens (76,78,80,82;228-242) d'identification de la même partie caractéristique sur m périodes consécutives du second signal reçu SIG2,
 - des moyens de détermination du temps t_2 correspondant à la somme sur ces m périodes des temps écoulés entre l'apparition de la partie caractéristique de chacune des m périodes du signal SIG2 et l'apparition de la première transition du signal CLS qui suit,
 - des moyens de formation de la différence $|t_2 - t_1|$ et de déduction du débit de fluide Q qui est proportionnel à $t_2 - t_1$.
19. Dispositif selon la revendication 18, dans lequel $m = 1$.
20. Dispositif selon la revendication 18, dans lequel $m \neq 1$ et la période sur laquelle est choisie la partie caractéristique correspond à la première des m premières consécutives du premier signal reçu SIG1.
21. Dispositif selon la revendication 18, dans lequel $m \neq 1$ et la période sur laquelle est choisie la partie caractéristique précède les m périodes consécutives du premier signal reçu SIG1.
22. Dispositif selon l'une des revendications 18 à 21, dans lequel les moyens de formation des signaux d'horloge CKi comprennent un oscillateur à quartz (52;202) suivi de $n/2$ bascules (54,56;204;206,208,210) de type D formant un diviseur et permettant ainsi d'obtenir des signaux CKi déphasés entre eux de $2\pi/n$.
23. Dispositif selon l'une des revendications 18 à 22, dans lequel les moyens de sélection de la première transition du signal d'horloge

- comprennent n bascules (76,78,80,82;228-242) de type D, dites de sélection, dont chaque entrée D est reliée au signal commun reçu SIG1 ou SIG2, chaque entrée d'horloge CK recevant un signal d'horloge CKi différent d'une bascule à l'autre et qui peuvent être
- 5 activées par une entrée RAZ de telle sorte que lorsque l'entrée RAZ des bascule est à "1" et lorsque le signal commun est à "1", lesdites bascules sont sensibles aux signaux CKi.
24. Dispositif selon l'une des revendications 18 à 22, dans lequel les
- 10 moyens de sélection de la première transition du signal d'horloge comprennent n portes logiques (101,103,105,107) recevant chacune sur une entrée le signal commun reçu SIG1 ou SIG2 et n circuits monostables (106,108,109,111) recevant chacun en entrée un signal d'horloge CKi différent et dont la sortie est envoyée
- 15 respectivement sur l'une des autres entrées des n portes logiques (101,103,105,107).
25. Dispositif selon la revendication 23 ou 24, dans lequel les moyens de mémorisation du signal d'horloge CLS comprennent, d'une part,
- 20 n bascules (84,86,88,90;244-258) de type D, dites de mémorisation, recevant chacune en tant qu'entrée d'horloge CK la sortie Q d'une bascule de sélection (76,78,80,82;228-242), et, d'autre part, une porte logique "NON ET" (278) à n entrées reliées chacune à la sortie Q de chaque bascule de mémorisation, l'entrée
- 25 D de ces bascules de mémorisation étant à "1" en permanence et le premier signal reçu en entrée d'horloge CK d'une des bascules (84,86,88,90;244-258) activant la fonction de mémorisation de cette dernière en faisant basculer la sortie Q de ladite bascule à 1 et la sortie \overline{Q} à 0, activant ainsi un circuit de verrouillage
- 30 (102,104,74;278,280,226) du signal commun reçu SIG1 ou SIG2.
26. Dispositif selon la revendication 25, dans lequel n portes logiques (92,94,96,98;260-274) "NON ET" reçoivent sur chacune de leurs entrées un signal d'horloge CKi et la sortie Q de la bascule de
- 35 mémorisation correspondante (84,86,88,90;244-258), la sortie de chacune de ces portes étant reliée à l'une des entrées de la porte logique "NON ET" (100;276) à n entrées, l'une des n portes

logiques (92,94,96,98;260-274) libérant le signal d'horloge CK_i associé lorsque la fonction de mémorisation de la bascule de mémorisation correspondante est activée.

1/12

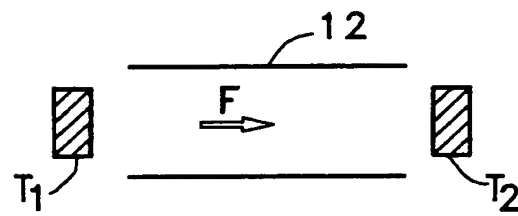


FIG. 1

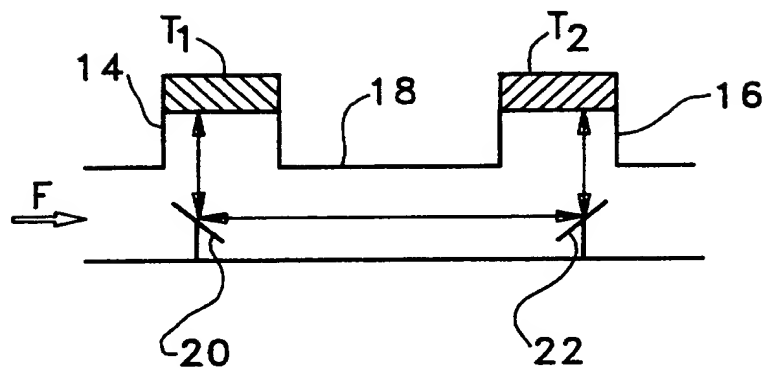


FIG. 2

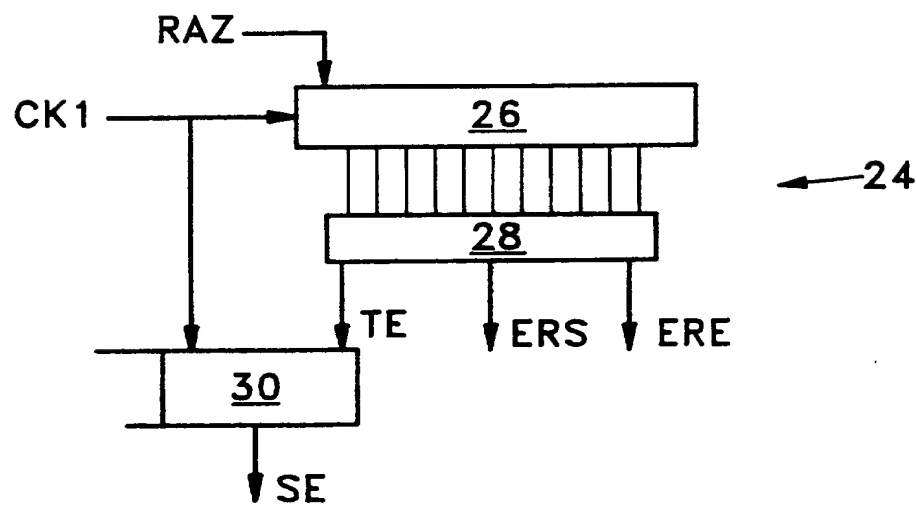
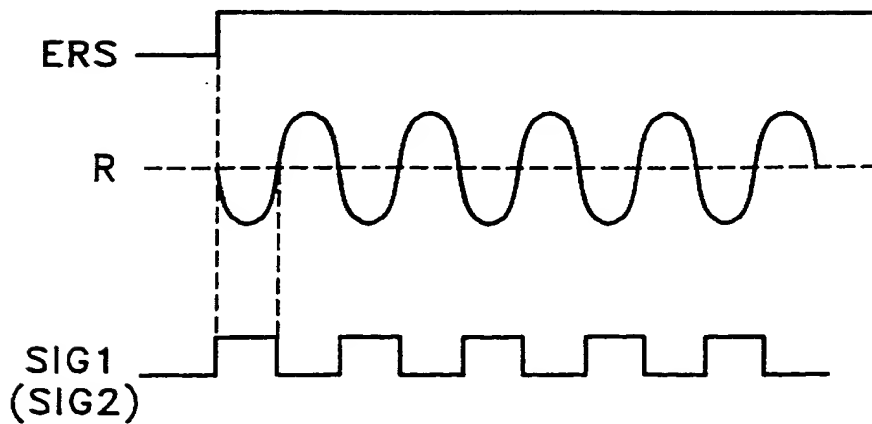
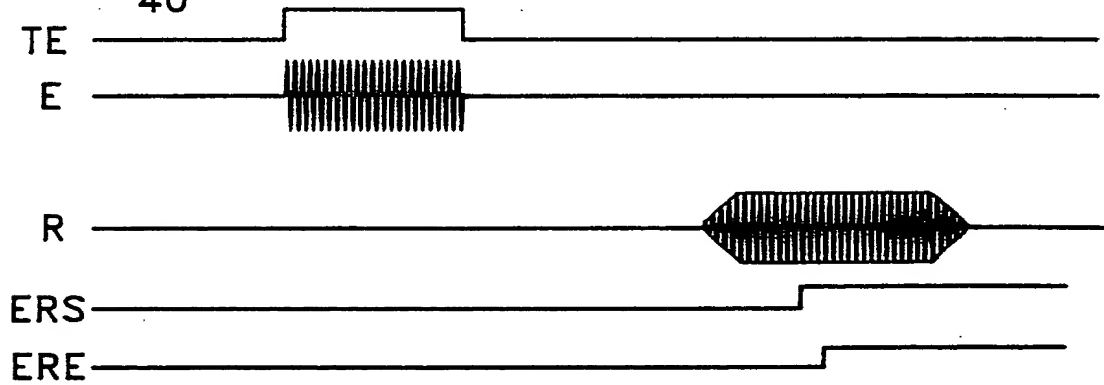
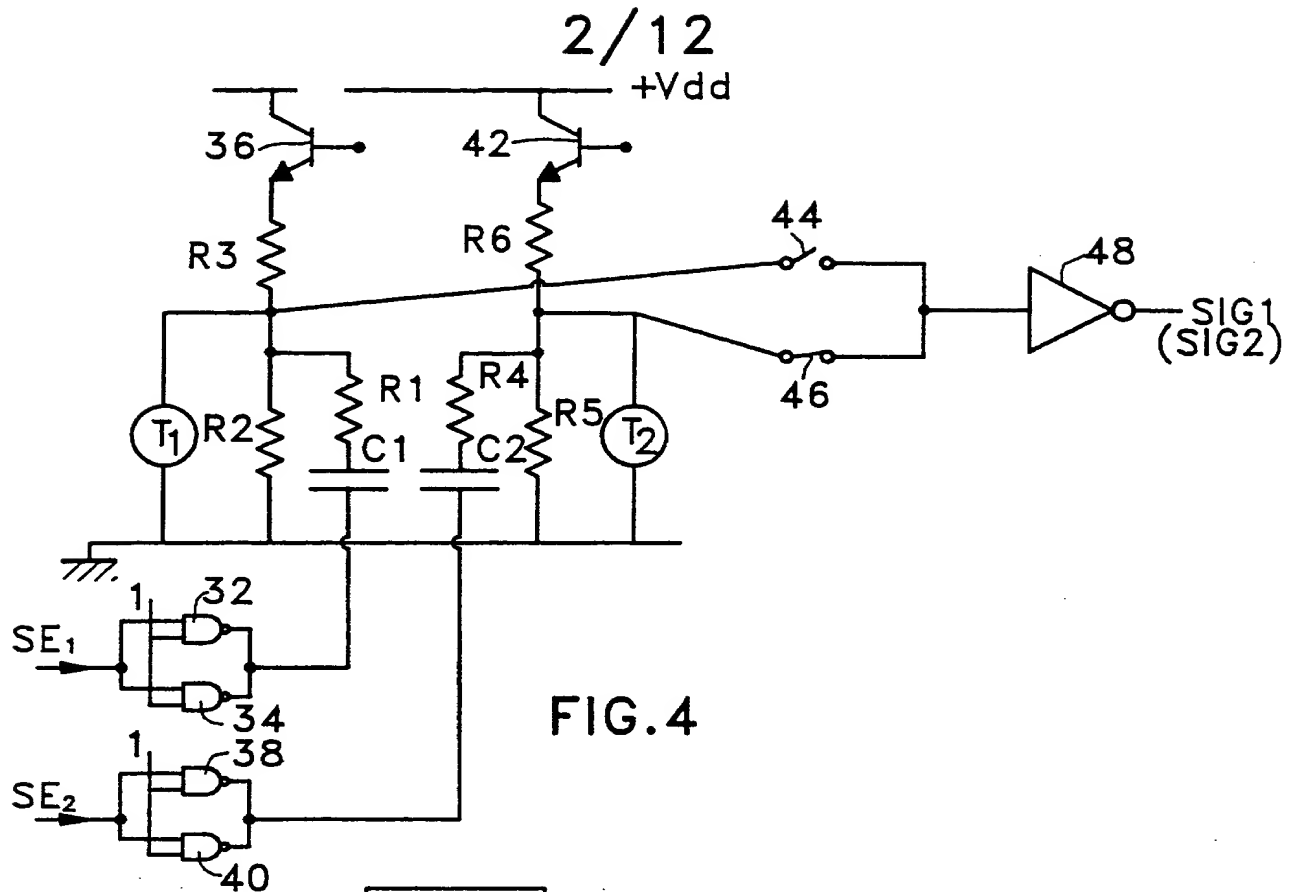


FIG. 3





4/12

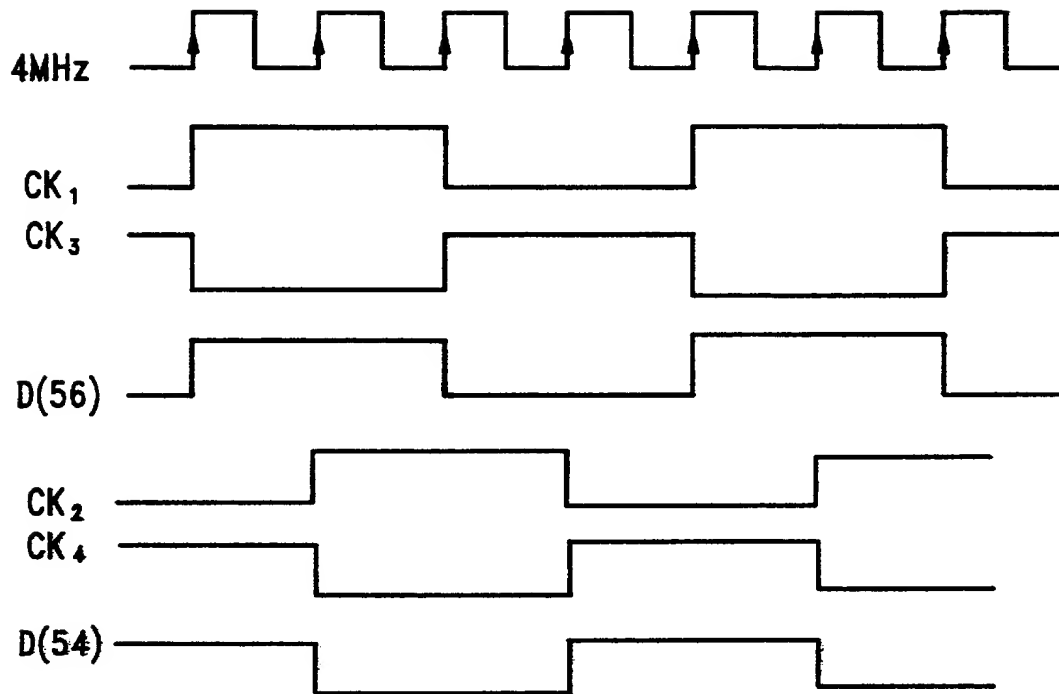


FIG.7

5/12

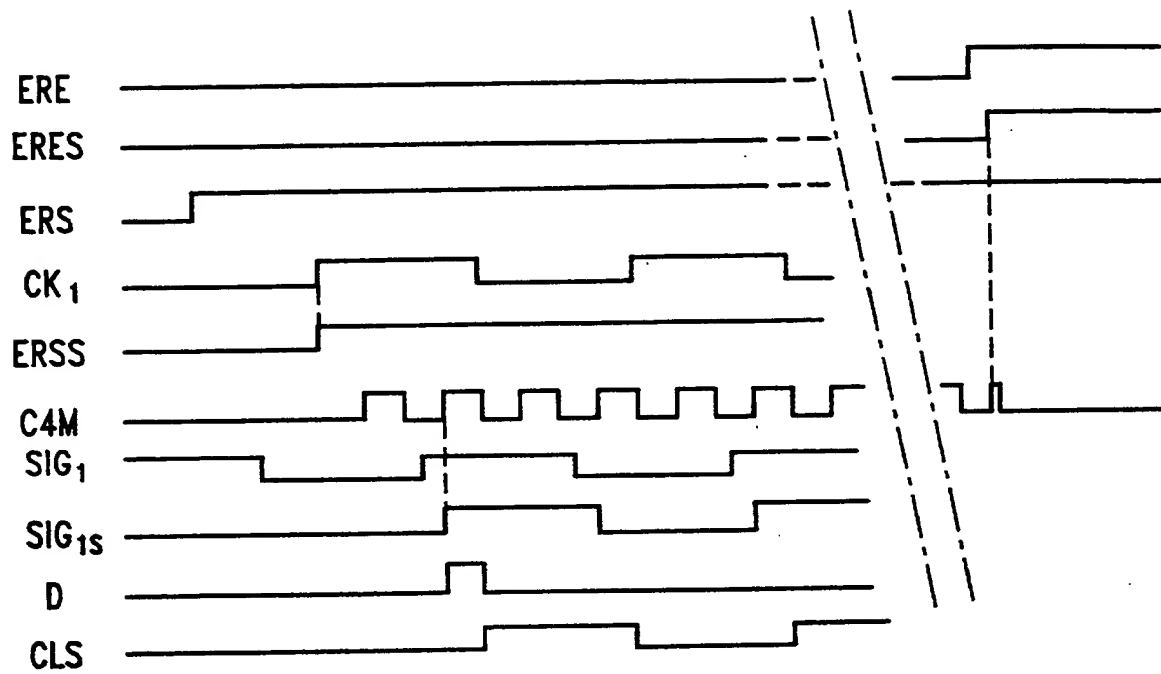


FIG. 8

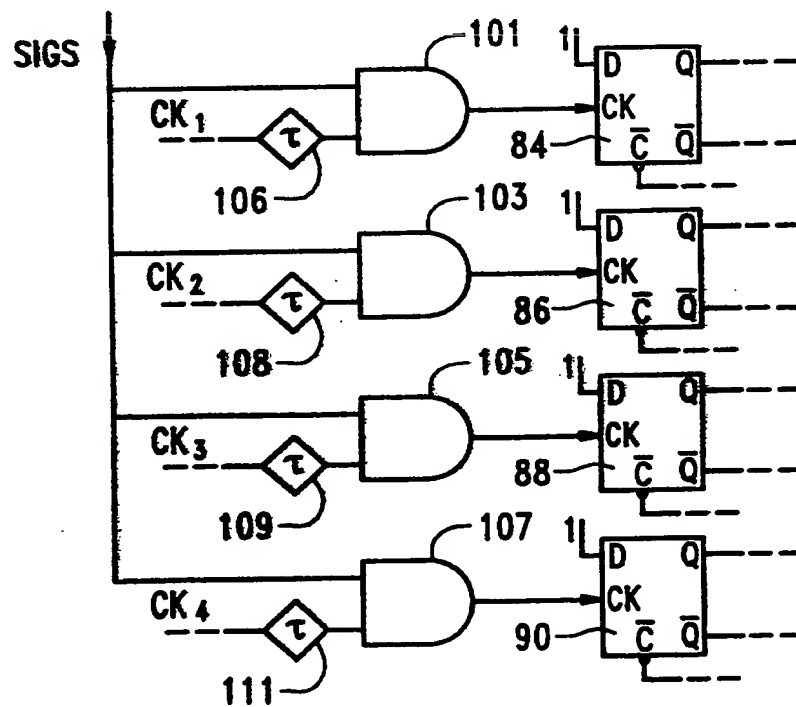
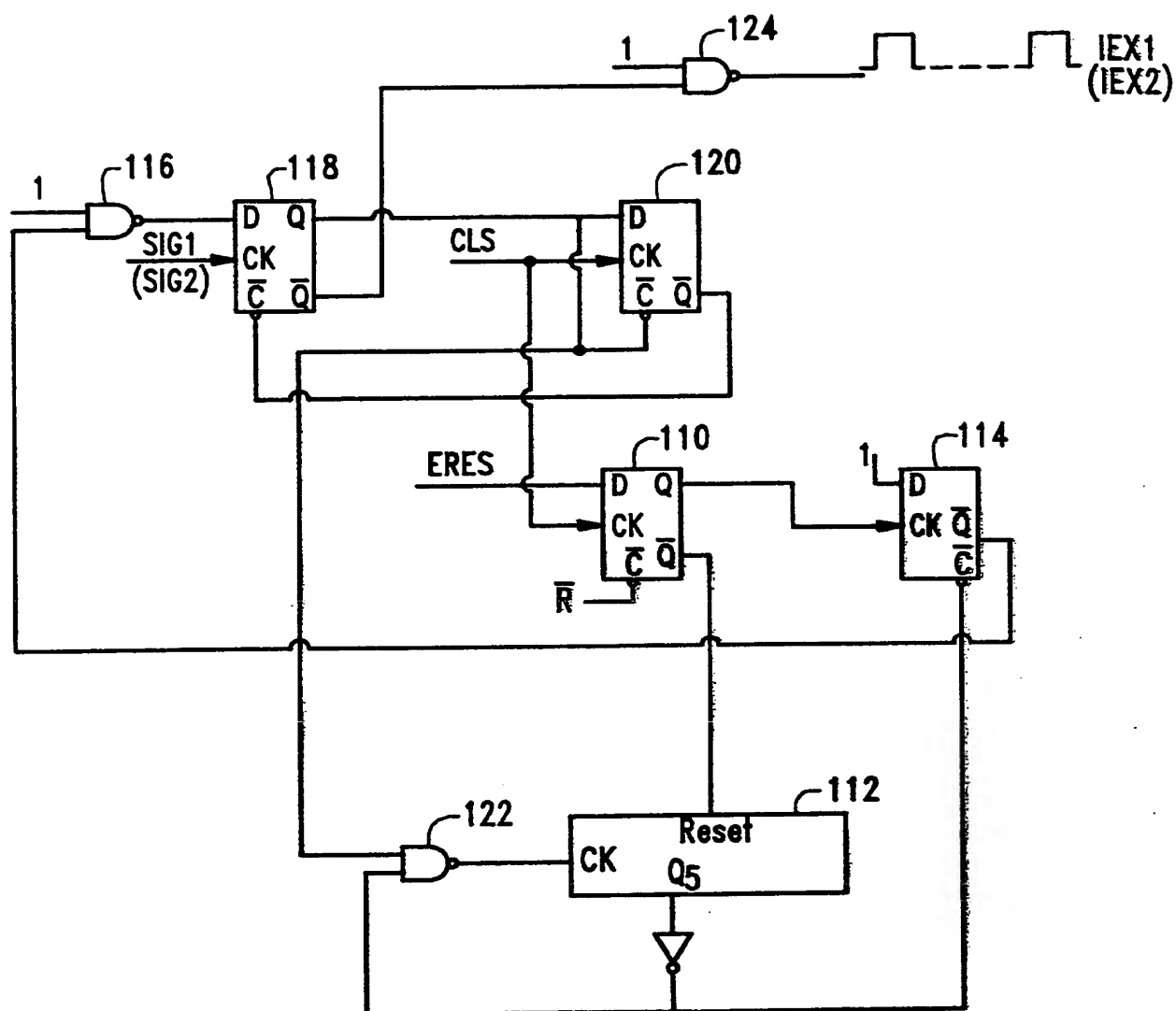


FIG. 8a

7/12



8/12

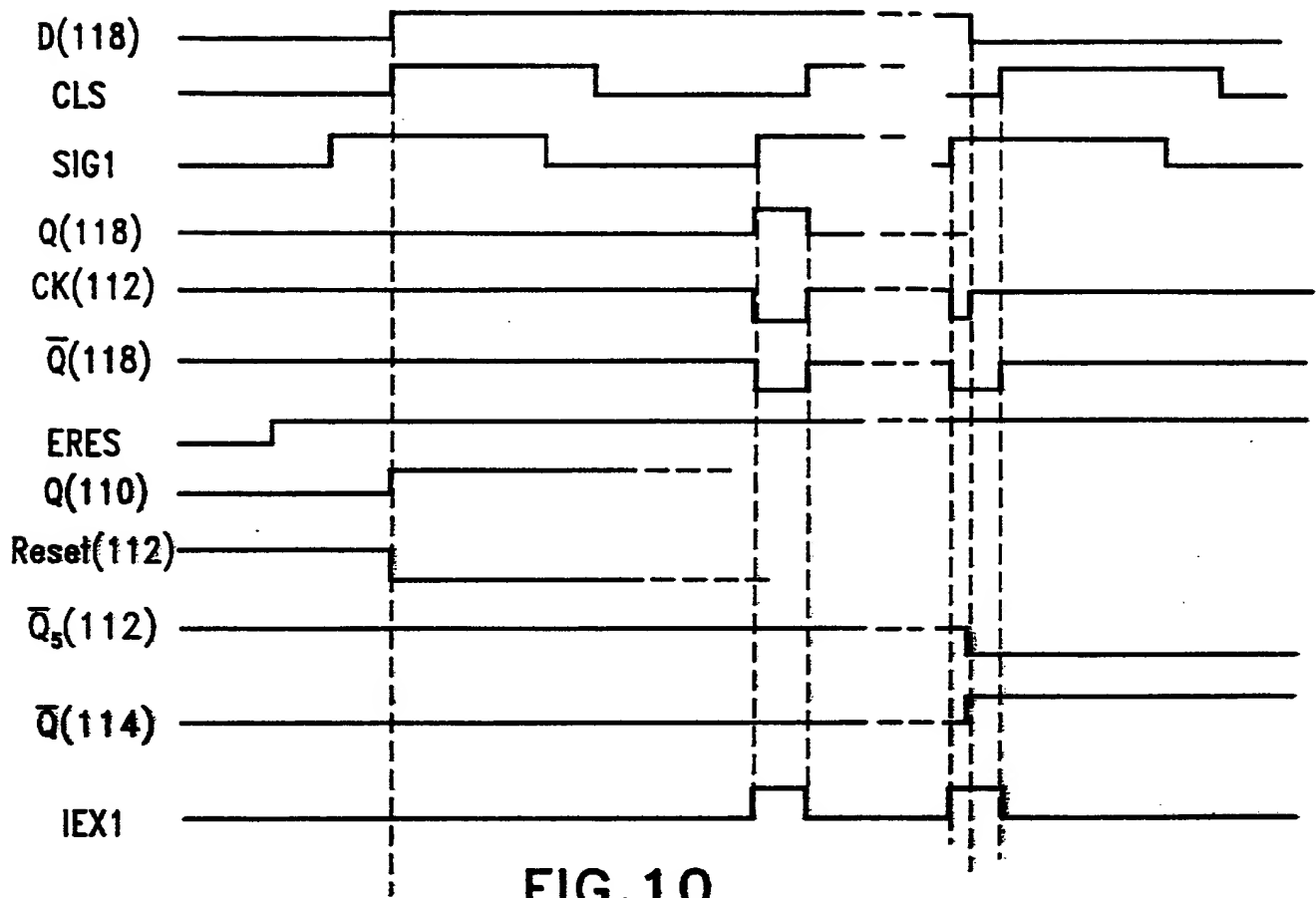


FIG. 10

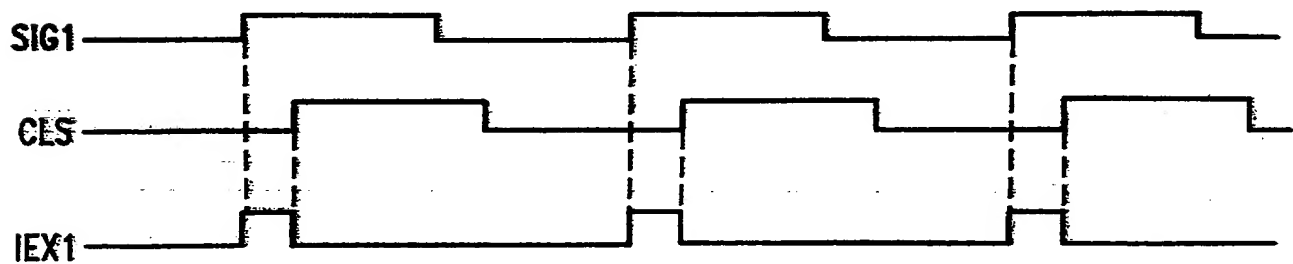


FIG. 11

9/12

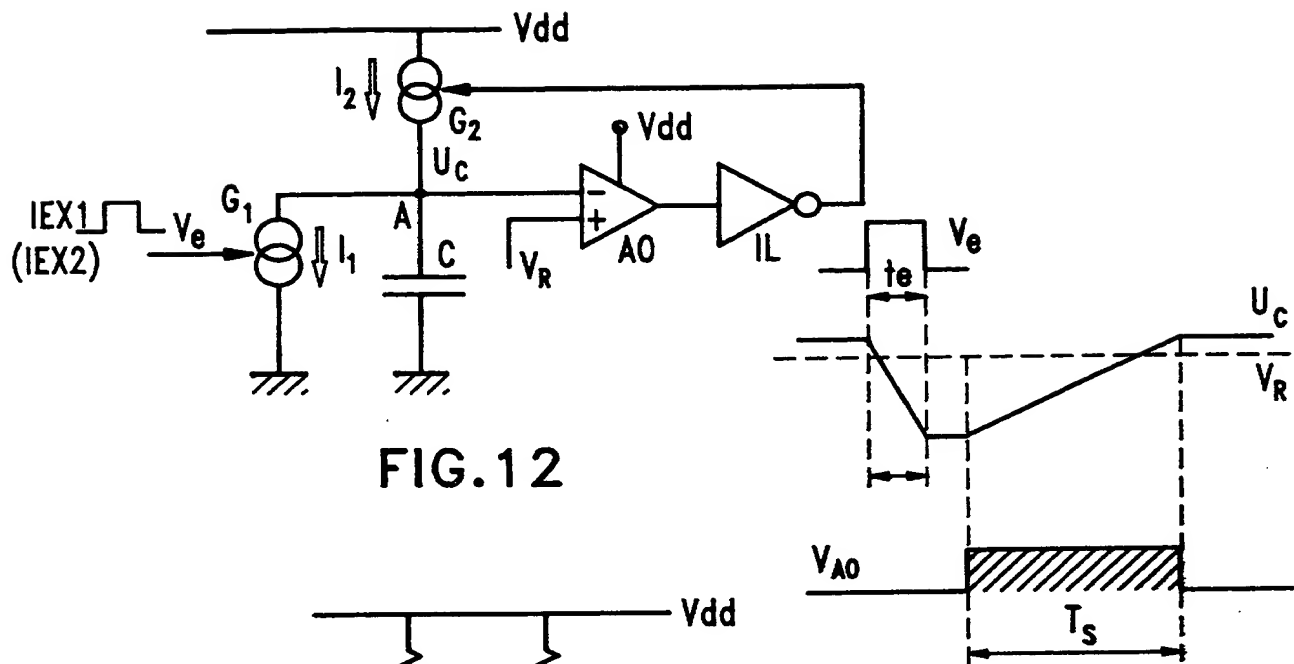


FIG. 12

FIG. 12a

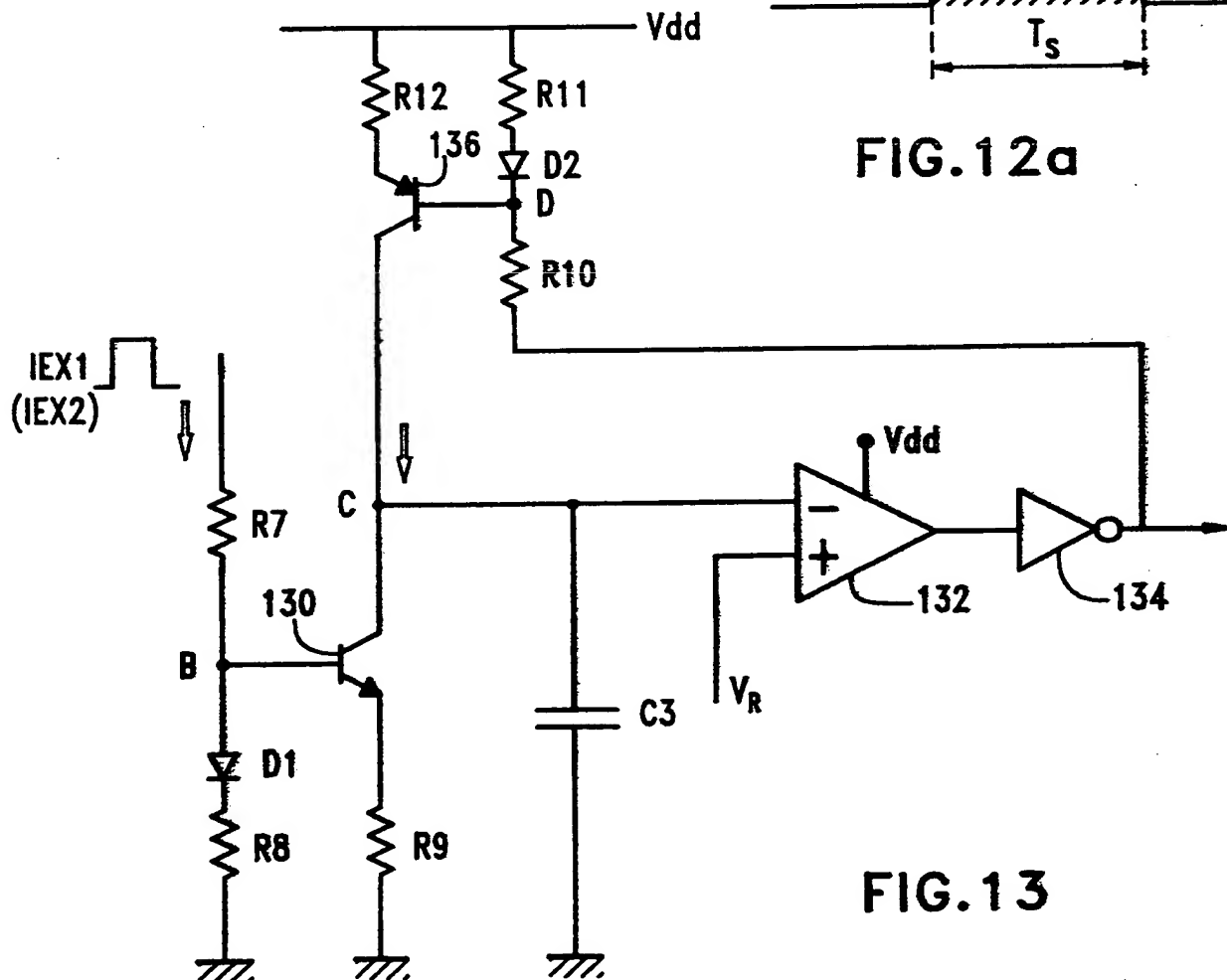


FIG. 13

10/12

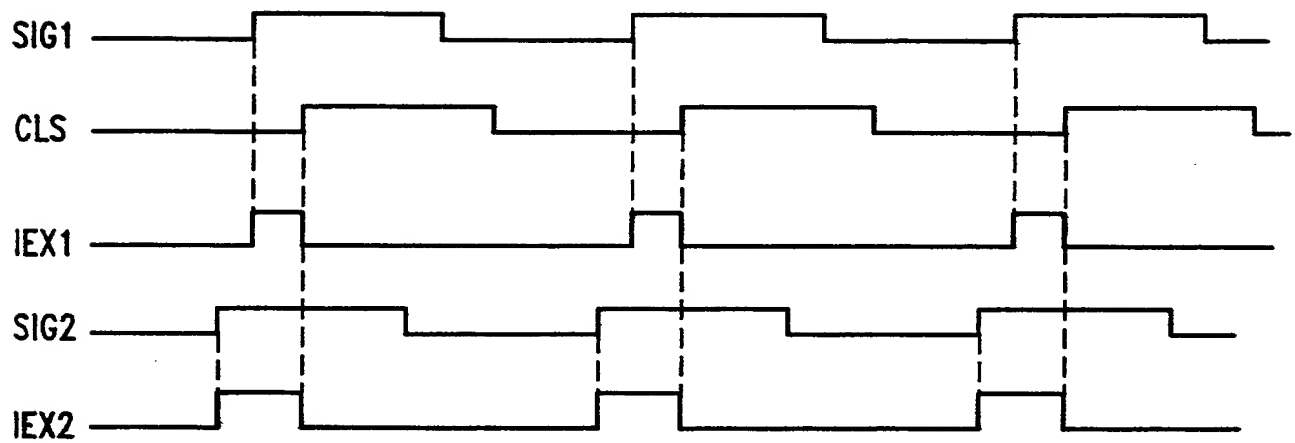


FIG. 14

11/12

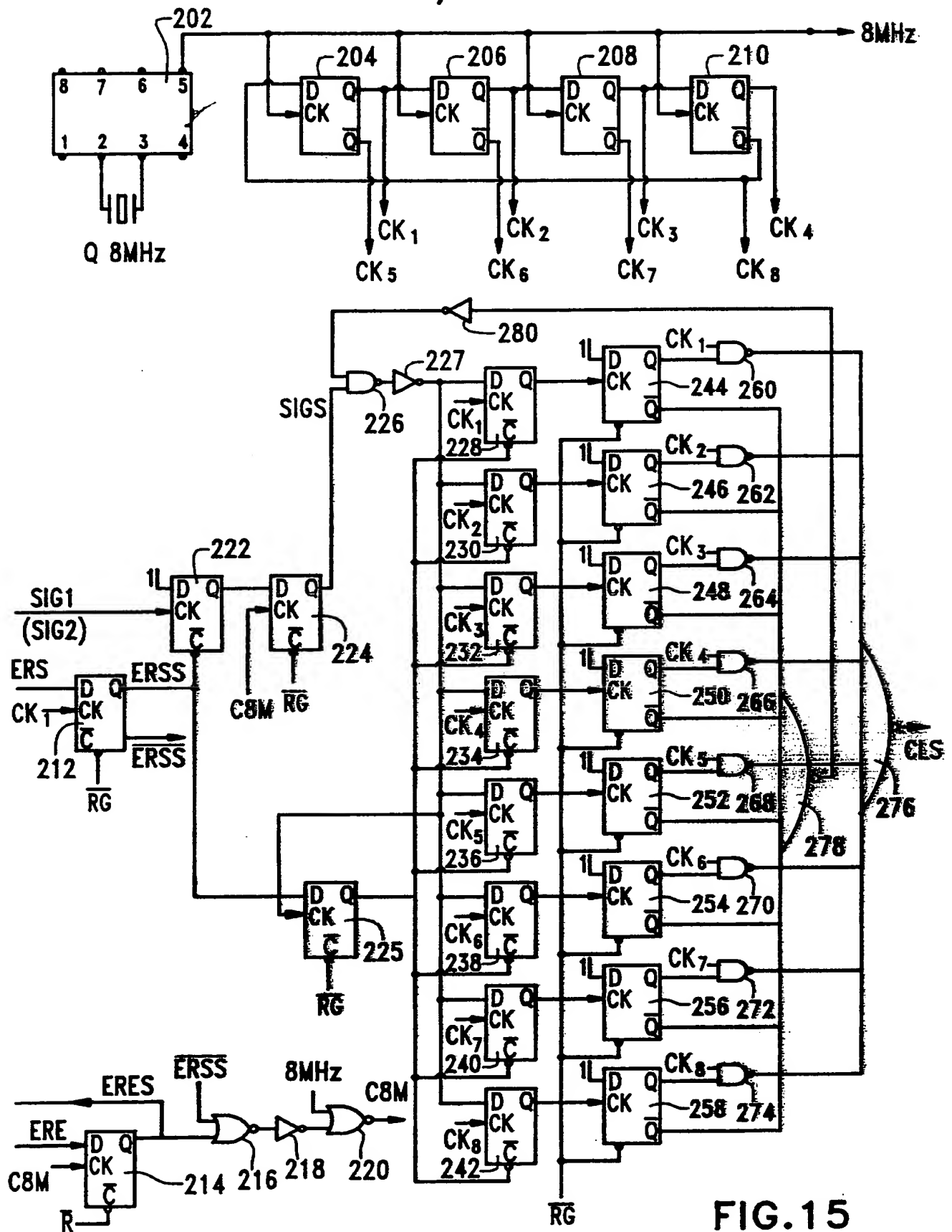


FIG. 15

12/12

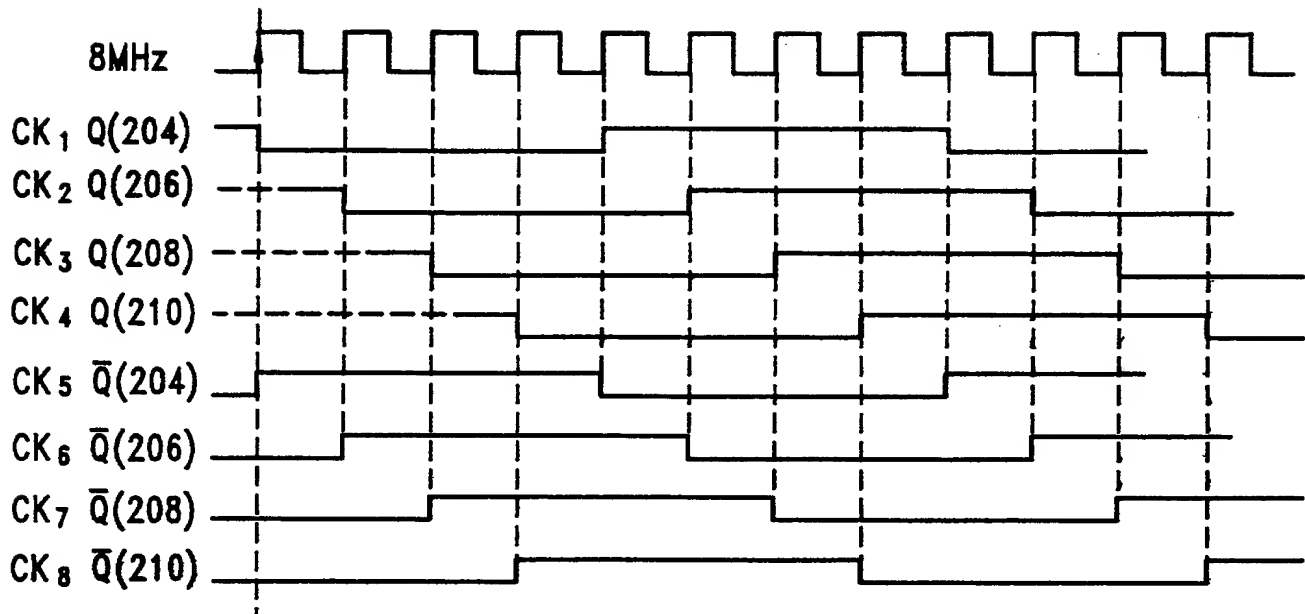


FIG. 16

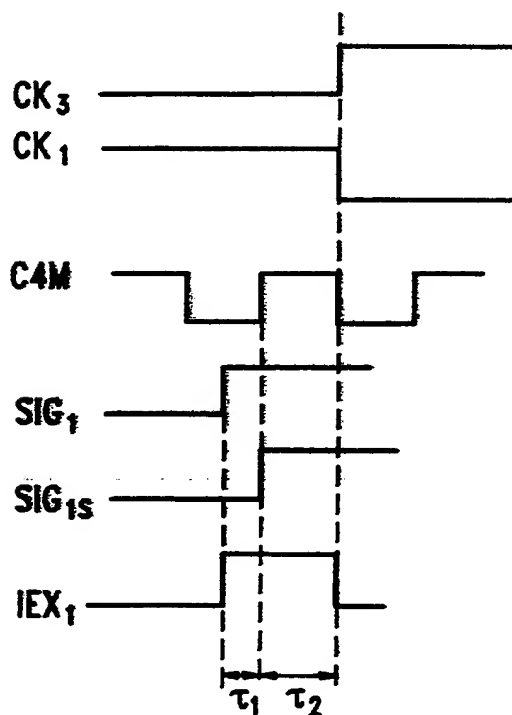


FIG. 17

INSTITUT NATIONAL

de la

PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la rechercheFA 529593
FR 9608183

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP 0 179 541 A (SMITH METER INC) 30 Avril 1986 * page 21, dernier alinéa - page 28, alinéa 1; figures 3,4 * ---	1
A	US 5 052 230 A (LANG MICHAEL ET AL) 1 Octobre 1991 * colonne 3, ligne 54 - colonne 11, ligne 11; figures 1-6 * ---	1
D,A	WO 86 02722 A (NEDAP NV) 9 Mai 1986 * le document en entier * ---	1-26
D,A	EP 0 426 309 A (BRITISH GAS PLC) 8 Mai 1991 * le document en entier * -----	1-26
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		G01F
Date d'achèvement de la recherche		Examineur
9 Avril 1997		Heinsius, R
CATEGORIE DES DOCUMENTS CITES		
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire		
T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		

1

EPO FORM 1503 03.82 (P04C13)

